

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :
Masahiro OHASHI :
Serial No. NEW : **Attn: APPLICATION BRANCH**
Filed October 23, 2003 : **Attorney Docket No. 2003_1503A**
IMAGE-PROCESSING METHOD AND :
IMAGE PROCESSOR :

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEES FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975

Sir:

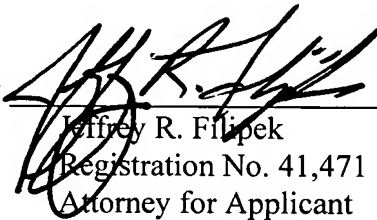
Applicant in the above-entitled application hereby claims the date of priority under the International Convention of Japanese Patent Application No. 2002-310853, filed October 25, 2002, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Masahiro OHASHI

By


Jeffrey R. Filipek
Registration No. 41,471
Attorney for Applicant

JRF/fs
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
October 23, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月25日

出 願 番 号

Application Number:

特願2002-310853

[ST.10/C]:

[JP2002-310853]

出 願 人

Applicant(s):

松下電器産業株式会社

2003年 4月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3028297

【書類名】 特許願

【整理番号】 2038240101

【提出日】 平成14年10月25日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/40
G06F 15/68

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 大橋 政宏

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097179

【弁理士】

【氏名又は名称】 平野 一幸

【手数料の表示】

【予納台帳番号】 058698

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0013529

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理方法及び画像処理装置

【特許請求の範囲】

【請求項 1】 複数ラインの画像データを分割した画像データであって、複数の画素データからなる画像データを、記憶手段へ転送するステップと、

前記記憶手段へ転送された前記複数の画素データを順次読み出すステップと、

読み出した所定数の前記画素データを用いて、フィルタ対象画素データに対して、フィルタ処理を実行するステップと、を含む、ことを特徴とする画像処理方法。

【請求項 2】 複数のフィルタ対象画素データに対するフィルタ処理に使用する複数の画素データを順次入力するステップと、

順次入力される前記画素データをシフトするステップと、

シフトした所定数の前記画素データを並列に出力するステップと、

並列に出力された前記所定数の前記画素データを用いて、前記フィルタ対象画素データに対して、フィルタ処理を実行するステップと、を含む、ことを特徴とする画像処理方法。

【請求項 3】 複数ラインの画像データを分割した画像データであって、複数の画素データからなる画像データ、を格納する第 1 の記憶手段と、

前記第 1 の記憶手段が格納した前記複数の画素データを順次読み出すデータ読み出し手段と、

前記データ読み出し手段が読み出した所定数の前記画素データを用いて、フィルタ対象画素データに対して、フィルタ処理を実行するフィルタ処理手段と、

フィルタ処理が施された前記フィルタ対象画素データを格納する第 2 の記憶手段と、

フィルタ処理が施された前記フィルタ対象画素データを、前記第 2 の記憶手段に書き込むデータ書き込み手段と、を備える、ことを特徴とする画像処理装置。

【請求項 4】 前記フィルタ処理手段は、

フィルタ処理が施された前記フィルタ対象画素データを出力するデータ出力制御手段、を含み、

前記データ出力制御手段は、モード情報に従って、フィルタ処理が施されていない所定の画素データを出力しない、ことを特徴とする請求項3記載の画像処理装置。

【請求項5】前記フィルタ処理手段は、

画素データを出力する度に、処理する画素数を基に定められた初期値からのカウンタダウンを実行し、その実行結果に基づいて、フィルタ処理が施された前記フィルタ対象画素データ及びフィルタ処理が施されていない所定の画素データだけを出力するデータ出力制御手段、を含む、ことを特徴とする請求項3記載の画像処理装置。

【請求項6】前記フィルタ処理手段は、

前記データ読み出し手段が前記第1の記憶手段から読み出した前記複数の画素データのうち、次回のフィルタ処理に使用する複数の画素データを保持する画素データ保持手段を含む、ことを特徴とする請求項3から5記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、符号化の際に発生したノイズを有効に除去するフィルタ処理を実行する画像処理方法及び画像処理装置に関する。

【0002】

【従来の技術】

従来より、テレビ電話やテレビ会議などでは、画像の情報量を削減して効率よく伝送するため、画像の符号化および復号化を行っている。

【0003】

近年の画像の符号化方法および復号化方法は、離散コサイン変換を利用したものが大半を占めている。

【0004】

離散コサイン変換は、画像の情報量を大幅に削減することが可能である。しかし、その反面、離散コサイン変換の実行により、モスキートノイズと呼ばれる独特のガウス性雑音が復号画像に現われ、主観画質を損なう問題がある。

【0005】

このモスキートノイズに代表されるガウス性雑音は、高周波成分を除去する空間フィルタを適用することで除去可能である。

【0006】

以下、フィルタ処理について、具体的に説明する。この場合、QCIF (quarter common intermediate format) サイズ (144ライン×176画素) の画像データに対して、フィルタ処理を行う場合を例に挙げる。また、フィルタ処理の単位は、3画素×3画素の画像データとし、その中心の画素データがフィルタ対象画素データである。

【0007】

図25は、フィルタ処理を実行する従来の画像処理装置のブロック図である。

図25に示すように、従来の画像処理装置は、プロセッサ500、画像メモリ501、ラインバッファ502、フィルタ処理回路503、及び、ラインバッファ504、を具備する。

【0008】

プロセッサ500は、ソースメモリ505、及び、デスティネーションメモリ506、を含む。

【0009】

プロセッサ500は、画像メモリ501に格納された、符号化された画像データをソースメモリ505に読み込む。

【0010】

プロセッサ500は、ソースメモリ505に読み込んだ画像データに対して、復号化処理を施す。

【0011】

プロセッサ500は、復号化処理後の画像データを、デスティネーションメモリ506に格納し、その後、画像メモリ501に転送する。

【0012】

画像メモリ501に転送された復号化処理後の画像データに対して、フィルタ処理が施される。

【0013】

フィルタ処理を実行する際には、3ライン×176画素の画像データが、画像メモリ501からラインバッファ502に転送される。

【0014】

ラインバッファ502は、転送された3ライン×176画素の画像データを格納する。

【0015】

フィルタ処理回路503は、ラインバッファ502から、3画素×3画素の画像データを読み出して、1個のフィルタ対象画素データに対するフィルタ処理を実行する。

【0016】

フィルタ処理回路503は、このような処理を繰り返して、ラインバッファ502に格納された174個のフィルタ対象画素データに対するフィルタ処理を実行する。

【0017】

なお、ラインバッファ502に格納された3ライン×176画素の画像データのうち、中央のラインの画素データが（両端の画素データを除く。）、フィルタ対象画素データである。

【0018】

フィルタ処理回路503は、フィルタ処理後の174個の画素データを、ラインバッファ504に出力する。

【0019】

また、フィルタ処理回路503は、ラインバッファ502に格納された3ライン×176画素の画像データのうち、中央のラインの両端の画素データについては、フィルタ処理をすることなく、ラインバッファ504に出力する。

【0020】

以上の結果、ラインバッファ504は、フィルタ処理後の1ライン（176個）の画素データを格納する。

【0021】

以上のように、従来では、ラインバッファ 5 0 2 に、3 ライン×1 7 6 画素単位で、画像データを転送して、Q C I F サイズの画像データに対するフィルタ処理を実行する。

【 0 0 2 2 】

次に、フィルタ処理の詳細を説明する。

図 2 6 は、図 2 5 に示した従来の画像処理装置のフィルタ処理回路 5 0 3 のブロック図である。なお、図 2 6 において、図 2 5 と同様の部分については、同一の符号を付している。

【 0 0 2 3 】

図 2 6 に示すように、このフィルタ処理回路 5 0 3 は、データ読み出し部 5 0 5、フィルタ処理部 5 0 6、及び、データ書き込み部 5 0 7、を含む。

【 0 0 2 4 】

図 2 6 に示すように、ラインバッファ 5 0 2 には、最大で、3 ライン×1 7 6 画素の画像データが格納可能であるとする。

【 0 0 2 5 】

データ読み出し部 5 0 5 は、ラインバッファ 5 0 2 に格納された画素データを読み出す。

【 0 0 2 6 】

フィルタ処理部 5 0 6 は、読み出された画素データに対してフィルタ処理を施す。

【 0 0 2 7 】

データ書き込み部 5 0 7 は、フィルタ処理された画素データを、ラインバッファ 5 0 4 に書き込む。

【 0 0 2 8 】

ラインバッファ 5 0 4 は、最大で、1 ライン分（1 7 6 画素）の画素データを格納することができる。

【 0 0 2 9 】

従来の画像処理装置では、データ読み出し部 5 0 5 が、ラインバッファ 5 0 2 から、3 × 3 画素分の画素データを読み出し、フィルタ処理部 5 0 6 でフィルタ

処理を行い、データ書き込み部507により、ラインバッファ504に1画素書き込み、これを繰り返す。

以下、具体例を挙げながら、フィルタ処理を説明する。

【0030】

図27は、QCIF画像の第Nのラインの画素データに対する従来のフィルタ処理の説明図である。

【0031】

図28は、QCIF画像の第N+1のラインの画素データに対する従来のフィルタ処理の説明図である。

【0032】

図27に示すように、データ読み出し部505は、1回目のフィルタ処理を実行すべく、3画素×3画素の画像データ600を読み出す。

【0033】

そして、フィルタ処理部506は、画素データ(N, 2)に対して、周辺の画素データ(N-1, 1)、(N, 1)、(N+1, 1)、(N-1, 2)、(N+1, 2)、(N-1, 3)、(N, 3)、(N+1, 3)を用いて、フィルタ処理を実行する。

【0034】

そして、データ書き込み部507は、フィルタ処理後の画素データ(FN, 2)をラインバッファ504に書き込む。

【0035】

次に、データ読み出し部505は、2回目のフィルタ処理を実行すべく、3画素×3画素の画像データ601を読み出す。

【0036】

そして、フィルタ処理部506は、画素データ(N, 3)に対して、周辺の画素データ(N-1, 2)、(N, 2)、(N+1, 2)、(N-1, 3)、(N+1, 3)、(N-1, 4)、(N, 4)、(N+1, 4)を用いて、フィルタ処理を実行する。

【0037】

そして、データ書き込み部 5 0 7 は、フィルタ処理後の画素データ (F N, 3) をラインバッファ 5 0 4 に書き込む。

【 0 0 3 8 】

以上のような処理を 1 7 4 回行って、ラインバッファ 5 0 4 に、第 N のラインの画素データ (N, 1)、(F N, 2)、…、(F N, 1 7 5)、(N, 1 7 6) が格納される。

【 0 0 3 9 】

第 N のラインのフィルタ処理が終了したら、次に、図 2 7 に示すように、N + 1 のラインの画素データに対してフィルタ処理を実行する。

【 0 0 4 0 】

そして、新たに、第 N + 2 のラインが、第 N のラインの代わりに追加される。このように、順番にフィルタ処理対象のラインを変更して処理を繰り返す。

【 0 0 4 1 】

一般に、周辺画素が存在しない両端の画素と、1 ライン目及び 1 4 4 ライン目と、にはフィルタ処理を行わない。

【 0 0 4 2 】

このため、1 4 2 ライン × 1 7 4 画素に対しフィルタ処理を行うことになる。それゆえ、Q C I F の画像を復元するには別途処理が必要である。

【 0 0 4 3 】

【特許文献 1】

特開平 7 - 1 1 1 5 8 6 号公報

【特許文献 2】

特開 2 0 0 0 - 2 5 1 0 6 5 号公報

【 0 0 4 4 】

【発明が解決しようとする課題】

以上のように、従来の画像処理装置におけるフィルタ処理では、フィルタ処理の単位（上記例では、3 画素 × 3 画素）に応じて、複数ライン分（上記例では、3 ライン分）のラインバッファ（上記例では、ラインバッファ 5 0 2）と、フィルタ処理後の 1 ライン分の画素データを格納するラインバッファ（上記例では、

ラインバッファ 5 0 4) と、が必要である (特許文献 2 参照)。

このため、面積が増加するという問題があった。

【 0 0 4 5 】

また、フィルタ処理の単位である 3 画素×3 画素の画像データを、ラインバッファ 5 0 2 から読み出し、処理を繰り返すため、処理時間がかかるという問題があった (特許文献 1 参照)。

【 0 0 4 6 】

さらに、端画素処理を行うために、処理が決まった画素数に対してのみ行われる。

【 0 0 4 7 】

このため、画像サイズが変更になった場合に対応することができないという問題があった。

【 0 0 4 8 】

そこで、本発明は、面積の増加の抑制、及び、処理時間の短縮化、を図るとともに、画像サイズが変更になった際も対応可能な画像処理装置及び画像処理方法を提供することを目的とする。

【 0 0 4 9 】

【課題を解決するための手段】

請求項 1 記載の画像処理方法では、複数ラインの画像データを分割した画像データであって、複数の画素データからなる画像データを、記憶手段へ転送するステップと、記憶手段へ転送された複数の画素データを順次読み出すステップと、読み出した所定数の画素データを用いて、フィルタ対象画素データに対して、フィルタ処理を実行するステップと、を含む。

【 0 0 5 0 】

この構成によれば、複数ラインの画像データを、転送先の記憶手段の記憶容量に合わせて任意に分割して転送できるので、複数ラインの画像データを格納可能な大きな記憶容量を有する記憶手段を用意する必要がない。その結果、面積の増大の抑制を図ることができる。

【 0 0 5 1 】

また、転送先として既存の記憶手段を利用できるので、転送先となるフィルタ処理専用の記憶手段を設けることが不要となる。その結果、さらに面積の増大の抑制を図ることができる。

【0052】

さらに、複数の画素データを記憶手段から順次読み出していくため、同じ画素データを複数回読み出すことなく、複数のフィルタ対象画素データに対して、フィルタ処理を実行でき、処理時間の短縮化を図ることができる。

【0053】

さらに、1ラインにおける画素数を固定せずにフィルタ処理が可能であるため、画像サイズに依存せずフィルタ処理が可能である。

【0054】

請求項2記載の画像処理方法では、複数のフィルタ対象画素データに対するフィルタ処理に使用する複数の画素データを順次入力するステップと、順次入力される画素データをシフトするステップと、シフトした所定数の画素データを並列に出力するステップと、並列に出力された所定数の画素データを用いて、フィルタ対象画素データに対して、フィルタ処理を実行するステップと、を含む。

【0055】

この構成によれば、複数のフィルタ対象画素データに対するフィルタ処理に使用する複数の画素データを、記憶手段から順次読み出していくため、同じ画素データを複数回読み出すことなく、複数のフィルタ対象画素データに対するフィルタ処理を実行でき、処理時間の短縮化を図ることができる。

【0056】

請求項3記載の画像処理装置では、複数ラインの画像データを分割した画像データであって、複数の画素データからなる画像データ、を格納する第1の記憶手段と、第1の記憶手段が格納した複数の画素データを順次読み出すデータ読み出し手段と、データ読み出し手段が読み出した所定数の画素データを用いて、フィルタ対象画素データに対して、フィルタ処理を実行するフィルタ処理手段と、フィルタ処理が施されたフィルタ対象画素データを格納する第2の記憶手段と、フィルタ処理が施されたフィルタ対象画素データを、第2の記憶手段に書き込むデ

ータ書き込み手段と、を備える。

【0057】

この構成によれば、複数ラインの画像データを、転送先の第1の記憶手段の記憶容量に合わせて任意に分割して転送できるので、複数ラインの画像データを格納可能な大きな記憶容量を有する第1の記憶手段を用意する必要がない。

【0058】

また、転送先の第1の記憶手段として既存の記憶手段を利用できるので、転送先となるフィルタ処理専用の第1の記憶手段を別途設けることが不要となる。

【0059】

さらに、複数ラインの画像データを分割した画像データに含まれる複数のフィルタ対象画素データに対して、フィルタ処理が実行されるので、1ラインの画像データを格納可能な大きな記憶容量を有する第2の記憶手段を用意する必要がない。

【0060】

さらに、書き込み先の第2の記憶手段として既存の記憶手段を利用できるので、書き込み先となるフィルタ処理専用の第2の記憶手段を別途設けることが不要となる。

【0061】

以上の結果、面積の増大の抑制を図ることができる。

【0062】

また、複数の画素データを第1の記憶手段から順次読み出していくため、同じ画素データを複数回読み出すことなく、複数のフィルタ対象画素データに対するフィルタ処理を実行でき、処理時間の短縮化を図ることができる。

【0063】

また、1ラインにおける画素数を固定せずにフィルタ処理が可能であるため、画像サイズに依存せずフィルタ処理が可能である。

【0064】

請求項4記載の画像処理装置では、フィルタ処理手段は、フィルタ処理が施されたフィルタ対象画素データを出力するデータ出力制御手段、を含み、データ出

力制御手段は、モード情報に従って、フィルタ処理が施されていない所定の画素データを出力しない。

【0065】

この構成によれば、中間の処理で出力される不必要な画素データを、データ出力制御手段により取り除き、必要な画素データだけを出力できる。その結果、ラインデータを作成する処理時間を削減可能である。

【0066】

請求項5記載の画像処理装置では、フィルタ処理手段は、画素データを出力する度に、処理する画素数を基に定められた初期値からのカウントダウンを実行し、その実行結果に基づいて、フィルタ処理が施されたフィルタ対象画素データ及びフィルタ処理が施されていない所定の画素データだけを出力するデータ出力制御手段、を含む。

【0067】

この構成によれば、中間の処理で出力される不必要な画素データを、データ出力制御手段により取り除き、必要な画素データだけを出力できる。その結果、ラインデータを作成する処理時間を削減可能である。

【0068】

また、処理する画素数を、最初に設定するのみで、後の端画素処理を実行できるため、端画素処理のための情報を設定する回数を削減可能である。

【0069】

請求項6記載の画像処理装置では、フィルタ処理手段は、データ読み出し手段が第1の記憶手段から読み出した複数の画素データのうち、次回のフィルタ処理に使用する複数の画素データを保持する画素データ保持手段を含む。

【0070】

この構成によれば、今回のフィルタ処理の終了時点で、次回のフィルタ処理に必要な画素データを保持し、次回のフィルタ処理時に流用できる。その結果、データの転送数を削減可能である。

【0071】

【発明の実施の形態】

実施の形態では、フィルタ処理の対象となる画像データが、144ライン×176画素からなるQCIF (quarter common intermediate format) サイズの場合を例に挙げる。

【0072】

この場合は、直線状に配置された176画素により、1ラインが形成され、144ラインを並設することで、1画面が構成されることになる。

(実施の形態1)

【0073】

図1は、本発明の実施の形態1における画像処理装置のブロック図である。

図1に示すように、この画像処理装置は、プロセッサ1、画像メモリ2、及び、フィルタ処理回路3、を具備する。

【0074】

プロセッサ1は、ソースメモリ10、デスティネーションメモリ11、及び、制御ユニット12、を含む。

【0075】

次に、全体的な動作を簡単に説明する。

プロセッサ1は、画像メモリ2に格納された、符号化された画像データをソースメモリ10に読み込む。

【0076】

プロセッサ1は、ソースメモリ10に読み込んだ画像データに対して、復号化処理を施す。

【0077】

プロセッサ1は、復号化処理後の画像データを、デスティネーションメモリ11に格納し、その後、画像メモリ2に転送する。

【0078】

このようにして、画像メモリ2に転送された復号化処理後の画像データに対して、フィルタ処理が実行される。

【0079】

フィルタ処理を実行する際には、3ライン×176画素の画像データを、ソー

スメモリ 10 の記憶容量に合わせて分割し、分割した画像データをソースメモリ 10 に転送する。

【0080】

制御ユニット 12 は、この分割した画像データを、ソースメモリ 10 から読み出して、フィルタ処理回路 3 に与える。

【0081】

そして、フィルタ処理回路 3 は、この分割した画像データに対して、フィルタ処理を施して、ノイズを除去する。

【0082】

ノイズが除去された分割した画像データは、制御ユニット 12 により、デステイネーションメモリ 11 に書き込まれ、さらに、画像メモリ 2 に書き込まれる。

【0083】

以上の処理を繰り返して、Q C I F サイズの画像データのノイズを除去する。

【0084】

ノイズが除去された画像データは、画像出力回路（図示せず）により、画像メモリ 2 から、表示デバイス（図示せず）に出力され、表示デバイスに表示される。表示デバイスは、例えば、LCD (liquid crystal display) 等である。

【0085】

次に、フィルタ処理を簡単に説明する。

図 2 は、実施の形態 1 の画像処理装置によるフィルタ処理の概念図である。

【0086】

図 1 の画像メモリ 2 には、復号化処理後の Q C I F サイズの画像データが格納されているとする。

【0087】

図 2 では、説明の便宜のため、画像メモリ 2 に格納されている Q C I F サイズの画像データのうち、3 ライン×176 画素の画像データ 100 を示している。

【0088】

また、図 2 では、1 個の画素データを、円形で表している。そして、破線を付

した円は、フィルタ処理の対象となる画素データ（以下、「フィルタ対象画素データ」と呼ぶ。）を示している。黒く塗りつぶした円は、フィルタ処理後のフィルタ対象画素データ（以下、「フィルタ処理画素データ」と呼ぶ。）を示している。

【0089】

また、図2の例では、図1のソースメモリ10は、最大で、3画素×6画素の画像データを格納可能な記憶容量を有しているとする。

【0090】

また、フィルタ処理の単位は、3画素×3画素の画像データとし、3画素×3画素の中心に位置する画素に対応する画素データが、フィルタ対象画素データである。

【0091】

さて、図2に示すように、最初に、3ライン×176画素の画像データ100を分割した3画素×5画素の画像データ101が、図1の画像メモリ2からソースメモリ10へ転送される。

【0092】

そして、ソースメモリ10から、フィルタ処理回路3へ、画像データ101が、画素データ単位で順次与えられる。

【0093】

フィルタ処理回路3は、与えられた3画素×3画素の画素データを用いて、1個のフィルタ対象画素データに対して、フィルタ処理を施す。

【0094】

このようにして、画像データ101に含まれる3個全てのフィルタ対象画素データに対して、フィルタ処理を実行する。

【0095】

さて、次に、3ライン×176画素の画像データ100を分割した3画素×6画素の画像データ102が、画像メモリ2からソースメモリ10へ転送される。

【0096】

そして、ソースメモリ10から、フィルタ処理回路3へ、画像データ102が

、画素データ単位で順次与えられる。

【0097】

フィルタ処理回路3は、与えられた3画素×3画素の画素データを用いて、1個のフィルタ対象画素データに対して、フィルタ処理を施す。

【0098】

このようにして、画像データ102に含まれる4個全てのフィルタ対象画素データに対して、フィルタ処理を実行する。

【0099】

以上のような処理を繰り返して、3ライン×176画素の画像データ100に含まれる全てのフィルタ対象画素データに対して、フィルタ処理が施される。

【0100】

その結果、フィルタ処理後の1ラインの画像データ105を得ることができる。

【0101】

なお、画像データ100のうち、2ライン目の両端の画素データに対しては、フィルタ処理は施されない。

【0102】

次に、図1、図3～図7を用いて、フィルタ処理を詳細に説明する。この場合、図1のソースメモリ10が、最大で3ライン×64画素の画像データを格納可能である場合を例に挙げる。

【0103】

また、フィルタ処理の単位は、3画素×3画素の画像データとし、3画素×3画素の中心に位置する画素に対応する画素データが、フィルタ対象画素データである。

【0104】

図3(a)～図3(c)は、フィルタ処理を行う際の処理の流れを示す図である。図3(a)は、第1回目のフィルタ処理を行う際の処理の流れを示す図、図3(b)は、第2回目のフィルタ処理を行う際の処理の流れを示す図、図3(c)は、第3回目のフィルタ処理を行う際の処理の流れを示す図、である。なお、

図3において、図1と同様の部分については、同一の符号を付している。

【0105】

図4は、図1のフィルタ処理回路3のブロック図である。図4に示すように、図1のフィルタ処理回路3は、シフトレジスタ30、及び、フィルタ演算器31を含む。シフトレジスタ30は、9個のフリップフロップFF1～FF9を含む。

【0106】

ここで、フィルタ演算器31が出力する画素データには、「#」なる符号を付することもある。なお、フィルタ演算器31が出力する画素データには、フィルタ処理画素データだけでなく、後述のように、フィルタ処理されてない画素データもある。

【0107】

図5(a)～図5(c)は、第1回目のフィルタ処理のタイムチャートである。図5(a)は、図4のフィルタ演算器31に与えられる画素データを各サイクル毎に示す図、図5(b)は、図4のフィルタ演算器31が出力するフィルタ処理画素データを示す図、図5(c)は、図4のフィルタ演算器31が出力する有効データ指示信号を示す図、である。

【0108】

図6(a)～図6(c)は、第2回目のフィルタ処理のタイムチャートである。図6(a)は、図4のフィルタ演算器31に与えられる画素データを各サイクル毎に示す図、図6(b)は、図4のフィルタ演算器31が出力するフィルタ処理画素データを示す図、図6(c)は、図4のフィルタ演算器31が出力する有効データ指示信号を示す図、である。

【0109】

図7(a)～図7(c)は、第3回目のフィルタ処理のタイムチャートである。図7(a)は、図4のフィルタ演算器31に与えられる画素データを各サイクル毎に示す図、図7(b)は、図4のフィルタ演算器31が出力するフィルタ処理画素データを示す図、図7(c)は、図4のフィルタ演算器31が出力する有効データ指示信号を示す図、である。

【0110】

まず、図3(a)、図4、及び、図5、を用いて、第1回目のフィルタ処理（QCIFサイズの画像データのうちの3ライン×176画素の画像データから分割した1画素目から64画素までの画像データを使用したフィルタ処理）の詳細を説明する。

【0111】

図3(a)に示すように、ソースメモリ10には、図1の画像メモリ2から、3画素×64画素の画像データが転送されて、格納される。

【0112】

この画像データは、画像メモリ2に格納されているQCIFサイズの画像データのうちの3ライン×176画素の画像データを、ソースメモリ10の記憶容量に合わせて分割して得た画像データである。

【0113】

また、この画像データは、192個の画素データ $(N-1, 1) \sim (N-1, 64)$ 、 $(N, 1) \sim (N, 64)$ 、 $(N+1, 1) \sim (N+1, 64)$ からなる。

【0114】

また、この画像データのうち、フィルタ対象画素データは、画素データ $(N, 2) \sim (N, 63)$ である。

【0115】

なお、ソースメモリ10に格納された個々の画素データ $(N-1, 1) \sim (N+1, 64)$ を、説明の便宜上、画素データDと表記することもある。

【0116】

さて、データ読み出し部120は、ソースメモリ10に格納された画素データを、 $(N-1, 1)$ 、 $(N, 1)$ 、 $(N+1, 1)$ 、 $(N-1, 2)$ 、 $(N, 2)$ 、 $(N+1, 2)$ 、 $(N-1, 3)$ 、 $(N, 3)$ 、 $(N+1, 3)$ 、 $(N-1, 4)$ 、 $(N, 4)$ 、 $(N+1, 4)$ 、…という順番で、 $(N-1, 64)$ 、 $(N, 64)$ 、 $(N+1, 64)$ まで、3画素×64画素分を読み出す。

【0117】

データ読み出し部 1 2 0 は、このようにして読み出した画素データ D を順次、フィルタ処理回路 3 へ出力する。

【 0 1 1 8 】

なお、本実施の形態では、図 1 の制御ユニット 1 2 が、データ読み出し部 1 2 0 として機能する。

【 0 1 1 9 】

フィルタ処理回路 3 は、データ読み出し部 1 2 0 から、フィルタ処理を開始することを指示するフィルタ処理開始信号 S s を受けて、ソースメモリ 1 0 から読み出された画素データ D を順次取り込む。

【 0 1 2 0 】

そして、図 4 に示すように、シフトレジスタ 3 0 は、画素データ D を順次取り込み、クロック C L K によってシフト動作を行う。

【 0 1 2 1 】

そして、フリップフロップ F F 1 ～ F F 9 は、フィルタ演算器 3 1 へ、保持した画素データ D 1 ～ D 9 を並列に出力する。

【 0 1 2 2 】

フィルタ演算器 3 1 は、この 9 個の画素データ D 1 ～ D 9 を用いて、フィルタ処理を実行し、フィルタ処理の結果である 1 個のフィルタ処理画素データ D # を出力する。

【 0 1 2 3 】

シフトレジスタ 3 0 には、ソースメモリ 1 0 から読み出された画素データ D が順次入力されるので、ソースメモリ 1 0 に格納された画像データに含まれる全てのフィルタ対象画素データに対して、フィルタ処理が施され、フィルタ処理画素データ D # として出力されることになる。

【 0 1 2 4 】

そして、図 3 (a) のデータ書き込み部 1 2 1 は、フィルタ演算器 3 1 から与えられた有効データ指示信号 S E に従って、図 1 のデスティネーションメモリ 1 1 に、フィルタ処理画素データ D # を順次書き込んでいく。

【 0 1 2 5 】

なお、本実施の形態では、図 1 の制御ユニット 1 2 が、データ書き込み部 1 2 1 として機能する。

【0 1 2 6】

フィルタ処理回路 3 による、より具体的な処理は、次の通りである。

図 5 (a) に示すように、シフトレジスタ 3 0 は、直列に取り込んだ 9 個の画素データ $(N-1, 1) \sim (N+1, 3)$ を、サイクル CY 1 において、フィルタ演算器 3 1 に並列に出力する。

【0 1 2 7】

そして、フィルタ演算器 3 1 は、9 個の画素データ $(N-1, 1) \sim (N+1, 3)$ を用いて、フィルタ対象画素データ $(N, 2)$ に対してフィルタ処理を実行し、図 5 (b) に示すように、フィルタ処理画素データ $(FN, 2)$ を出力する。

【0 1 2 8】

そして、図 5 (c) に示すように、データ書き込み部 1 2 1 は、フィルタ演算器 3 1 から与えられた有効データ指示信号 SE に従って、デスティネーションメモリ 1 1 に、フィルタ処理画素データ $(FN, 2)$ を書き込む。

【0 1 2 9】

なお、データ書き込み部 1 2 1 は、有効データ指示信号 SE が「H (ハイ)」レベルの場合に、書き込みを実行する。

【0 1 3 0】

さて、図 5 (a) に示すように、次のサイクル CY 2 では、シフトレジスタ 3 0 は、9 個の画素データ $(N, 1) \sim (N-1, 4)$ を並列に出力する。

【0 1 3 1】

次のサイクル CY 3 では、シフトレジスタ 3 0 は、9 個の画素データ $(N+1, 1) \sim (N, 4)$ を並列に出力する。

【0 1 3 2】

次のサイクル CY 4 では、シフトレジスタ 3 0 は、9 個の画素データ $(N-1, 2) \sim (N+1, 4)$ を並列に出力する。

【0 1 3 3】

そして、フィルタ演算器 3 1 は、9 個の画素データ $(N-1, 2) \sim (N+1, 4)$ を用いて、フィルタ対象画素データ $(N, 3)$ に対してフィルタ処理を実行し、図 5 (b) に示すように、フィルタ処理画素データ $(FN, 3)$ を出力する。

【0 1 3 4】

そして、図 5 (c) に示すように、データ書き込み部 1 2 1 は、フィルタ演算器 3 1 から与えられた有効データ指示信号 SE に従って、デスティネーションメモリ 1 1 に、フィルタ処理画素データ $(FN, 3)$ を書き込む。

【0 1 3 5】

データ読み出し部 1 2 0 から、フィルタ処理回路 3 へ、フィルタ処理終了信号 Se が入力されるまで、以上のような処理が繰り返される。

【0 1 3 6】

つまり、図 5 (a) に示すように、フィルタ処理回路 3 によるフィルタ処理は、3 サイクル単位で 6 2 回繰り返されて、6 2 個のフィルタ処理画素データ $(FN, 2) \sim (FN, 63)$ が出力され、デスティネーションメモリ 1 1 に格納される。

【0 1 3 7】

なお、フィルタ演算器 3 1 は、図 3 (a) のソースメモリ 1 0 に格納された画像データのうち、中段の両端の画素データ $(N, 1)$ 、 $(N, 64)$ については、図 5 (b) に示すように、フィルタ処理せずに出力する。

【0 1 3 8】

この両端の画素データ $(N, 1)$ 、 $(N, 64)$ は、図 5 (c) に示すように、有効データ指示信号 SE に従って、データ書き込み部 1 2 1 により、デスティネーションメモリ 1 1 に書き込まれる。

【0 1 3 9】

以上の結果、図 3 (a) に示すように、デスティネーションメモリ 1 1 には、フィルタ処理画素データ $(FN, 2) \sim (FN, 63)$ 及びフィルタ処理されていない画素データ $(N, 1)$ 、 $(N, 64)$ が格納される。

【0 1 4 0】

そして、この画素データ $(FN, 2) \sim (FN, 63)$ 、 $(N, 1)$ 、 $(N, 64)$ は、画像メモリ 2 に転送される。

【0141】

次に、図 3 (b)、図 4、及び、図 6、を用いて、第 2 回目のフィルタ処理 (QCIF サイズの画像データのうちの 3 ライン \times 176 画素の画像データから分割した 63 画素目から 126 画素までの画像データを使用したフィルタ処理) の詳細を説明する。

【0142】

図 3 (b) に示すように、ソースメモリ 10 には、図 1 の画像メモリ 2 から、3 画素 \times 64 画素の画像データが転送されて、格納される。

【0143】

この画像データは、画像メモリ 2 に格納されている QCIF サイズの画像データのうちの 3 ライン \times 176 画素の画像データを、ソースメモリ 10 の記憶容量に合わせて分割して得た画像データである。

【0144】

また、この画像データは、192 個の画素データ $(N-1, 63) \sim (N-1, 126)$ 、 $(N, 63) \sim (N, 126)$ 、 $(N+1, 63) \sim (N+1, 126)$ からなる。

【0145】

また、この画像データのうち、フィルタ対象画素データは、画素データ $(N, 64) \sim (N, 125)$ である。

【0146】

なお、ソースメモリ 10 に格納された個々の画素データ $(N-1, 63) \sim (N+1, 126)$ を、説明の便宜上、画素データ D と表記することもある。

【0147】

さて、データ読み出し部 120 は、ソースメモリ 10 に格納された画素データを、 $(N-1, 63)$ 、 $(N, 63)$ 、 $(N+1, 63)$ 、 $(N-1, 64)$ 、 $(N, 64)$ 、 $(N+1, 64)$ 、 $(N-1, 65)$ 、 $(N, 65)$ 、 $(N+1, 65)$ 、 $(N-1, 66)$ 、 $(N, 66)$ 、 $(N+1, 66)$ 、…という順番

で、 $(N-1, 126)$ 、 $(N, 126)$ 、 $(N+1, 126)$ まで、3画素×64画素分を読み出す。

【0148】

データ読み出し部120は、このようにして読み出した画素データ $(N-1, 63)$ …を次々にフィルタ処理回路3へ出力する。

【0149】

そうすると、図6(a)に示すように、サイクルCY1において、図4のシフトレジスタ30は、直列に取り込んだ9個の画素データ $(N-1, 63) \sim (N+1, 65)$ を、フィルタ演算器31に並列に出力する。

【0150】

そして、フィルタ演算器31は、9個の画素データ $(N-1, 63) \sim (N+1, 65)$ を用いて、フィルタ対象画素データ $(N, 64)$ に対してフィルタ処理を実行し、図6(b)に示すように、フィルタ処理画素データ $(FN, 64)$ を出力する。

【0151】

そして、図6(c)に示すように、データ書き込み部121は、フィルタ演算器31から与えられた有効データ指示信号SEに従って、デスティネーションメモリ11に、フィルタ処理画素データ $(FN, 64)$ を書き込む。

【0152】

図6(a)に示すように、次のサイクルCY2では、シフトレジスタ30は、9個の画素データ $(N, 63) \sim (N-1, 66)$ を、並列に出力する。

【0153】

次のサイクルCY3では、シフトレジスタ30は、9個の画素データ $(N+1, 63) \sim (N, 66)$ を、並列に出力する。

【0154】

次のサイクルCY4では、シフトレジスタ30は、9個の画素データ $(N-1, 64) \sim (N+1, 66)$ を、並列に出力する。

【0155】

そして、フィルタ演算器31は、9個の画素データ $(N-1, 64) \sim (N+$

1, 66) を用いて、フィルタ対象画素データ (N, 65) に対してフィルタ処理を実行し、図 6 (b) に示すように、フィルタ処理画素データ (FN, 65) を出力する。

【0156】

そして、図 6 (c) に示すように、データ書き込み部 121 は、フィルタ演算器 31 から与えられた有効データ指示信号 SE に従って、デスティネーションメモリ 11 に、フィルタ処理画素データ (FN, 65) を書き込む。

【0157】

データ読み出し部 120 から、フィルタ処理回路 3 へ、フィルタ処理終了信号 Se が入力されるまで、以上のような処理が繰り返される。

【0158】

つまり、図 6 (a) に示すように、フィルタ処理回路 3 によるフィルタ処理は、3 サイクル単位で 62 回繰り返されて、62 個のフィルタ処理画素データ (FN, 64) ~ (FN, 125) が出力され、デスティネーションメモリ 11 に格納される。

【0159】

なお、フィルタ演算器 31 は、図 3 (b) のソースメモリ 10 に格納された画像データのうち、中段の両端の画素データ (N, 63)、(N, 126) については、図 6 (b) に示すように、フィルタ処理せずに出力する。

【0160】

この両端の画素データ (N, 63)、(N, 126) は、図 6 (c) に示すように、有効データ指示信号 SE に従って、データ書き込み部 121 により、デスティネーションメモリ 11 に書き込まれる。

【0161】

以上の結果、図 3 (b) に示すように、デスティネーションメモリ 11 には、フィルタ処理画素データ (FN, 64) ~ (FN, 125) 及びフィルタ処理されていない画素データ (N, 63)、(N, 126) が格納される。

【0162】

そして、この画素データ (FN, 64) ~ (FN, 125)、(N, 63)、

(N, 126) は、画像メモリ 2 に転送される。

【0163】

次に、図 3 (c)、図 4、及び、図 7、を用いて、第 3 回目のフィルタ処理 (Q C I F サイズの画像データのうちの 3 ライン × 176 画素の画像データから分割した 125 画素目から 176 画素までの画像データを使用したフィルタ処理) の詳細を説明する。

【0164】

図 3 (c) に示すように、ソースメモリ 10 には、図 1 の画像メモリ 2 から、3 画素 × 52 画素の画像データが転送されて、格納される。

【0165】

この画像データは、画像メモリ 2 に格納されている Q C I F サイズの画像データのうちの 3 ライン × 176 画素の画像データを、ソースメモリ 10 の記憶容量に合わせて分割して得た画像データである。

【0166】

また、この画像データは、156 個の画素データ (N-1, 125) ~ (N-1, 176)、(N, 125) ~ (N, 176)、(N+1, 125) ~ (N+1, 176) からなる。

【0167】

また、この画像データのうち、フィルタ対象画素データは、画素データ (N, 126) ~ (N, 175) である。

【0168】

なお、ソースメモリ 10 に格納された個々の画素データ (N-1, 125) ~ (N+1, 176) を、説明の便宜上、画素データ D と表記することもある。

【0169】

さて、データ読み出し部 120 は、ソースメモリ 10 に格納された画素データを、(N-1, 125)、(N, 125)、(N+1, 125)、(N-1, 126)、(N, 126)、(N+1, 126)、(N-1, 127)、(N, 127)、(N+1, 127)、(N-1, 128)、(N, 128)、(N+1, 128)、…という順番で、(N-1, 176)、(N, 176)、(N+1

、176)まで、3画素×52画素分を読み出す。

【0170】

データ読み出し部120は、このようにして読み出した画素データ(N-1, 125)…を次々にフィルタ処理回路3へ出力する。

【0171】

そうすると、図7(a)に示すように、サイクルCY1において、図4のシフトレジスタ30は、直列に取り込んだ9個の画素データ(N-1, 125)～(N+1, 127)を、フィルタ演算器31に並列に出力する。

【0172】

そして、フィルタ演算器31は、9個の画素データ(N-1, 125)～(N+1, 127)を用いて、フィルタ対象画素データ(N, 126)に対してフィルタ処理を実行し、図7(b)に示すように、フィルタ処理画素データ(FN, 126)を出力する。

【0173】

そして、図7(c)に示すように、データ書き込み部121は、フィルタ演算器31から与えられた有効データ指示信号SEに従って、デスティネーションメモリ11に、フィルタ処理画素データ(FN, 126)を書き込む。

【0174】

図7(a)に示すように、次のサイクルCY2では、シフトレジスタ30は、9個の画素データ(N, 125)～(N-1, 128)を、並列に出力する。

【0175】

次のサイクルCY3では、シフトレジスタ30は、9個の画素データ(N+1, 125)～(N, 128)を、並列に出力する。

【0176】

次のサイクルCY4では、シフトレジスタ30は、9個の画素データ(N-1, 126)～(N+1, 128)を、並列に出力する。

【0177】

そして、フィルタ演算器31は、9個の画素データ(N-1, 126)～(N+1, 128)を用いて、フィルタ対象画素データ(N, 127)に対してフィ

ルタ処理を実行し、図7（b）に示すように、フィルタ処理画素データ（FN，127）を出力する。

【0178】

そして、図7（c）に示すように、データ書き込み部121は、フィルタ演算器31から与えられた有効データ指示信号SEに従って、デスティネーションメモリ11に、フィルタ処理画素データ（FN，127）を書き込む。

【0179】

データ読み出し部120から、フィルタ処理回路3へ、フィルタ処理終了信号Seが入力されるまで、以上のような処理が繰り返される。

【0180】

つまり、図7（a）に示すように、フィルタ処理回路3によるフィルタ処理は、3サイクル単位で50回繰り返されて、50個のフィルタ処理画素データ（FN，126）～（FN，175）が出力され、デスティネーションメモリ11に格納される。

【0181】

なお、フィルタ演算器31は、図3（c）のソースメモリ10に格納された画像データのうち、中段の両端の画素データ（N，125）、（N，176）については、図7（b）に示すように、フィルタ処理せずに出力する。

【0182】

この両端の画素データ（N，125）、（N，176）は、図7（c）に示すように、有効データ指示信号SEに従って、データ書き込み部121により、デスティネーションメモリ11に書き込まれる。

【0183】

以上の結果、図3（c）に示すように、デスティネーションメモリ11には、フィルタ処理画素データ（FN，126）～（FN，175）及びフィルタ処理されていない画素データ（N，125）、（N，176）が格納される。

【0184】

そして、この画素データ（FN，126）～（FN，175）、（N，125）、（N，176）は、画像メモリ2に転送される。

【0185】

さて、以上により、図1の画像メモリ2には、フィルタ処理画素データ(FN, 2)～(FN, 63)及びフィルタ処理されていない画素データ(N, 1)、(N, 64)、フィルタ処理画素データ(FN, 64)～(FN, 125)及びフィルタ処理されていない画素データ(N, 63)、(N, 126)、並びに、フィルタ処理画素データ(FN, 126)～(FN, 175)及びフィルタ処理されていない画素データ(N, 125)、(N, 176)、が格納される。

【0186】

このため、プロセッサ1は、不要な画素データ(N, 64)、(N, 63)、(N, 126)、(N, 125)を取り除いて、画素データ(N, 1)、(FN, 2)、…、(FN, 175)、(N, 176)からなるラインデータを作成する。

【0187】

このようにして、次々に作成されるラインデータが、画像出力回路(図示せず)により、画像メモリ2から、表示デバイス(図示せず)に出力され、表示デバイスに表示される。

【0188】

さて、以上のように、実施の形態1による画像処理装置によれば、3ラインの画像データを、ソースメモリ10の記憶容量に合わせて任意に分割してソースメモリ10に格納し、フィルタ演算を行っている。

【0189】

このため、フィルタ処理を行うための画像メモリ2からの転送先としての3ライン分のバッファ(図25のラインバッファ502)と、フィルタ処理画素データを格納するための1ライン分のバッファ(図25のラインバッファ504)と、が必要でなく、面積削減が可能である。

【0190】

また、3画素×3画素というフィルタ処理の単位毎に画像データを読み出すのではなく(図27, 図28参照)、ソースメモリ10に格納された複数の画素データを順次読み出していくため、同じ画素データを複数回読み出すことなく、複

数のフィルタ対象画素データに対して、フィルタ処理を実行でき、処理時間の短縮化を図ることができる。

【0191】

また、1ラインにおける画素数を固定せずにフィルタ処理が可能であるため、画像サイズに依存せずフィルタ処理が可能である。

【0192】

なお、上記では、フィルタ処理の対象として、Q C I Fサイズの画像を例に挙げたが、これに限定されるものではない。

【0193】

また、フィルタ処理の対象が、pライン×q画素の画像データであり、フィルタ処理の単位が、P画素×Q画素である場合において、Pライン×q画素の画像データをソースメモリ10の記憶容量に合わせて分割して、P画素×Y画素の画像データをソースメモリ10に転送し、フィルタ演算を実行できる。

【0194】

(実施の形態2)

本発明の実施の形態2における画像処理装置は、図1のフィルタ処理回路3に代えて、以下に説明するフィルタ処理回路4を設けたものである。実施の形態2における画像処理装置のその他の構成は、図1の画像処理装置と同様である。

【0195】

図8(a)～図8(c)は、フィルタ処理を行う際の処理の流れを示す図である。図8(a)は、第1回目のフィルタ処理を行う際の処理の流れを示す図、図9(b)は、第2回目のフィルタ処理を行う際の処理の流れを示す図、図9(c)は、第3回目のフィルタ処理を行う際の処理の流れを示す図、である。なお、図8において、図1と同様の部分については、同一の符号を付している。

【0196】

図9は、フィルタ処理回路4のブロック図である。図9に示すように、このフィルタ処理回路4は、図4のフィルタ処理回路3の構成に加えて、データ出力制御ユニット80を設けたものである。

【0197】

このデータ出力制御ユニット80は、レジスタ33、及び、端画素処理を実行する端画素処理器32、を含む。

【0198】

ここで、端画素処理器32が出力する画素データには、「\$」なる符号を付すこともある。なお、端画素処理器32が出力する画素データには、フィルタ処理画素データだけでなく、後述のように、フィルタ処理されていない画素データもある。

【0199】

図10(a)～図10(e)は、第1回目のフィルタ処理のタイムチャートである。図10(a)は、図9のフィルタ演算器31に与えられる画素データを各サイクル毎に示す図、図10(b)は、図9のフィルタ演算器31が出力する画素データを示す図、図10(c)は、図9のフィルタ演算器31が出力する有効データ指示信号を示す図、図10(d)は、データ書き込み部121がデステーションメモリ11に書き込む画素データを示す図、図10(e)は、図9の端画素処理器32が出力する書込指示信号を示す図、である。

【0200】

図11(a)～図11(c)は、第2回目のフィルタ処理のタイムチャートである。図11(a)は、図9のフィルタ演算器31に与えられる画素データを各サイクル毎に示す図、図11(b)は、図9のフィルタ演算器31が出力する画素データを示す図、図11(c)は、図9のフィルタ演算器31が出力する有効データ指示信号を示す図、図11(d)は、データ書き込み部121がデステーションメモリ11に書き込む画素データを示す図、図11(e)は、図9の端画素処理器32が出力する書込指示信号を示す図、である。

【0201】

図12(a)～図12(c)は、第3回目のフィルタ処理のタイムチャートである。図12(a)は、図9のフィルタ演算器31に与えられる画素データを各サイクル毎に示す図、図12(b)は、図9のフィルタ演算器31が出力する画素データを示す図、図12(c)は、図9のフィルタ演算器31が出力する有効データ指示信号を示す図、図12(d)は、データ書き込み部121がデステイ

ネーションメモリ11に書き込む画素データを示す図、図12(e)は、図9の端画素処理器32が出力する書込指示信号を示す図、である。

【0202】

次に、フィルタ処理について、第1回目、第2回目、第3回目の順に説明する。この場合、図1のソースメモリ10が、最大で3ライン×64画素の画像データを格納可能である場合を例に挙げる。

【0203】

また、フィルタ処理の単位は、3画素×3画素の画像データとし、3画素×3画素の中心に位置する画素に対応する画素データが、フィルタ対象画素データとする。

【0204】

まず、図1、図8(a)、図9、及び、図10(a)～(e)を用いて、第1回目のフィルタ処理について説明する。

【0205】

図9のフィルタ演算器31が、フィルタ処理画素データD#及び有効データ指示信号SEを出力するまでの処理は、実施の形態1の図4のフィルタ演算器31が、フィルタ処理画素データD#及び有効データ指示信号SEを出力するまでの処理(図5(a)～(c)参照)と同様であり、説明を省略する。

【0206】

ただし、第1回目のフィルタ処理を開始する前に、図9のレジスタ33に、モード信号SMにより、右端の画素データを出力しないモード情報Mを設定する。この点は、後で詳しく説明する。

【0207】

さて、図10(b)に示すように、端画素処理器32は、有効データ指示信号SEに従って、フィルタ演算器31から出力される画素データ(N, 1)、(FN, 2)、…、(FN, 63)、(N, 64)、を取り込んでいく。

【0208】

そして、端画素処理器32は、レジスタ33から入力されるモード情報Mに従って、入力される画素データ(N, 1)、(FN, 2)、…、(FN, 63)、

(N, 64)のうち、必要な画素データ(N, 1)、(FN, 2)、…、(FN, 63)を出力していく(図10(d)参照)。

【0209】

この場合、端画素処理器32は、モード情報Mに従って、不要な画素データ(N, 64)は出力しない(図10(d)参照)。

【0210】

なお、必要な画素データ(N, 1)、(FN, 2)、…、(FN, 63)のうち、画素データ(FN, 2)、…、(FN, 63)は、フィルタ処理画素データである。

【0211】

また、端画素処理器32は、画素データ(N, 1)、(FN, 2)、…、(FN, 63)の出力と同時に、図10(e)に示すように、データ書き込み部121へ書込指示信号SWを出力する。

【0212】

そして、データ書き込み部121は、端画素処理器32から与えられた書込指示信号SWに従って、必要な画素データ(N, 1)、(FN, 2)、…、(FN, 63)を順次、デスティネーションメモリ11に書き込んでいく。

【0213】

なお、データ書き込み部121は、書込指示信号SWが「H(ハイ)」レベルの場合に、書き込みを実行する。

【0214】

以上のような端画素処理の結果、図8(a)に示すように、デスティネーションメモリ11には、必要な画素データ(N, 1)、(FN, 2)、…、(FN, 63)だけが書き込まれ、不要な画素データ(N, 64)は、書き込まれない。

【0215】

そして、デスティネーションメモリ11に書き込まれた画素データ(N, 1)、(FN, 2)、…、(FN, 63)は、画像メモリ2に転送される。

【0216】

次に、図1、図8(b)、図9、及び、図11(a)～(e)を用いて、第2

回目のフィルタ処理について説明する。

【0217】

図9のフィルタ演算器31が、フィルタ処理画素データD#及び有効データ指示信号SEを出力するまでの処理は、実施の形態1の図4のフィルタ演算器31が、フィルタ処理画素データD#及び有効データ指示信号SEを出力するまでの処理（図6（a）～（c）参照）と同様であり、説明を省略する。

【0218】

ただし、第2回目のフィルタ処理を開始する前に、図9のレジスタ33に、モード信号SMにより、両端の画素データを出力しないモード情報Mを設定する。この点は、後で詳しく説明する。

【0219】

さて、図11（b）に示すように、端画素処理器32は、有効データ指示信号SEに従って、フィルタ演算器31から出力される画素データ（N，63）、（FN，64）、…、（FN，125）、（N，126）、を取り込んでいく。

【0220】

そして、端画素処理器32は、レジスタ33から入力されるモード情報M（第1回目のフィルタ処理の場合と内容が異なる。）に従って、入力される画素データ（N，63）、（FN，64）、…、（FN，125）、（N，126）のうち、必要な画素データ（FN，64）、…、（FN，125）を出力していく（図11（d）参照）。

【0221】

この場合、端画素処理器32は、モード情報Mに従って、不要な画素データ（N，63）、（N，126）は出力しない（図11（d）参照）。

【0222】

なお、必要な画素データ（FN，64）、…、（FN，125）は、フィルタ処理画素データである。

【0223】

また、端画素処理器32は、画素データ（FN，64）、…、（FN，125）の出力と同時に、図11（e）に示すように、データ書き込み部121へ書込

指示信号SWを出力する。

【0224】

そして、データ書き込み部121は、端画素処理器32から与えられた書込指示信号SWに従って、必要な画素データ(FN, 64)、…、(FN, 125)を順次、デスティネーションメモリ11に書き込んでいく。

【0225】

以上のような端画素処理の結果、図8(b)に示すように、デスティネーションメモリ11には、必要な画素データ(FN, 64)、…、(FN, 125)だけが書き込まれ、不要な画素データ(N, 63)、(N, 126)は、書き込まれない。

【0226】

そして、デスティネーションメモリ11に書き込まれた画素データ(FN, 64)、…、(FN, 125)は、画像メモリ2に転送される。

【0227】

次に、図1、図8(c)、図9、及び、図12(a)～(e)を用いて、第3回目のフィルタ処理について説明する。

【0228】

図9のフィルタ演算器31が、フィルタ処理画素データD#及び有効データ指示信号SEを出力するまでの処理は、実施の形態1の図4のフィルタ演算器31が、フィルタ処理画素データD#及び有効データ指示信号SEを出力するまでの処理(図7(a)～(c)参照)と同様であり、説明を省略する。

【0229】

ただし、第3回目のフィルタ処理を開始する前に、図9のレジスタ33に、モード信号SMにより、左端の画素データを出力しないモード情報Mを設定する。この点は、後で詳しく説明する。

【0230】

さて、図12(b)に示すように、端画素処理器32は、有効データ指示信号SEに従って、フィルタ演算器31から出力される画素データ(N, 125)、(FN, 126)、…、(FN, 175)、(N, 176)、を取り込んでいく

【0 2 3 1】

そして、端画素処理器 3 2 は、レジスタ 3 3 から入力されるモード情報 M（第 2 回目のフィルタ処理の場合と内容が異なる。）に従って、入力される画素データ（N、1 2 5）、（FN、1 2 6）、…、（FN、1 7 5）、（N、1 7 6）のうち、必要な画素データ（FN、1 2 6）、…、（FN、1 7 5）、（N、1 7 6）を出力していく（図 1 2（d）参照）。

【0 2 3 2】

この場合、端画素処理器 3 2 は、モード情報 M に従って、不要な画素データ（N、1 2 5）は出力しない（図 1 2（d）参照）。

【0 2 3 3】

なお、必要な画素データ（FN、1 2 6）、…、（FN、1 7 5）、（N、1 7 6）のうち、画素データ（FN、1 2 6）、…、（FN、1 7 5）は、フィルタ処理画素データである。

【0 2 3 4】

また、端画素処理器 3 2 は、画素データ（FN、1 2 6）、…、（FN、1 7 5）、（N、1 7 6）の出力と同時に、図 1 2（e）に示すように、データ書き込み部 1 2 1 へ書込指示信号 SW を出力する。

【0 2 3 5】

そして、データ書き込み部 1 2 1 は、端画素処理器 3 2 から与えられた書込指示信号 SW に従って、必要な画素データ（FN、1 2 6）、…、（FN、1 7 5）、（N、1 7 6）を順次、デスティネーションメモリ 1 1 に書き込んでいく。

【0 2 3 6】

以上のような端画素処理の結果、図 8（c）に示すように、デスティネーションメモリ 1 1 には、必要な画素データ（FN、1 2 6）、…、（FN、1 7 5）、（N、1 7 6）だけが書き込まれ、不要な画素データ（N、1 2 5）は、書き込まれない。

【0 2 3 7】

そして、デスティネーションメモリ 1 1 に書き込まれた画素データ（FN、1

2 6) 、 … 、 (F N , 1 7 5) 、 (N , 1 7 6) は、画像メモリ 2 に転送される。

【 0 2 3 8 】

さて、以上により、図 1 の画像メモリ 2 には、画素データ (N , 1) 、 (F N , 2) 、 … 、 (F N , 1 7 5) 、 (N , 1 7 6) からなるラインデータが格納される。

【 0 2 3 9 】

このようにして、次々に作成されるラインデータが、画像出力回路（図示せず）により、画像メモリ 2 から、表示デバイス（図示せず）に出力され、表示デバイスに表示される。

【 0 2 4 0 】

さて、次に、図 9 のモード情報 M について説明する。

図 9 に示すように、レジスタ 3 3 は、入力されるモード信号 S M に応じたモード情報 M を保持する。

このモード情報 M は、モード信号 S M により、任意に変更することができる。

【 0 2 4 1 】

上記では、第 1 回目のフィルタ処理前に、第 1 回目のフィルタ処理の端画素処理のためのモード情報 M が設定される。

【 0 2 4 2 】

また、第 1 回目のフィルタ処理後に、第 2 回目のフィルタ処理の端画素処理のためのモード情報 M が設定される。

【 0 2 4 3 】

また、第 2 回目のフィルタ処理後に、第 3 回目のフィルタ処理の端画素処理のためのモード情報 M が設定される。

なお、モード信号 S M は、例えば、プロセッサ 1 の命令で出力される。

【 0 2 4 4 】

次に、図 9 のモード情報 M について詳細に説明する。

図 1 3 (a) ～ (d) は、図 9 のレジスタ M に設定することができるモード情報 M の説明図である。図 1 3 (a) は、モード 2 ' b 0 0 を内容とするモード情

報Mの説明図、図13(a)は、モード2' b01を内容とするモード情報Mの説明図、図13(b)は、モード2' b10を内容とするモード情報Mの説明図、図13(c)は、モード2' b11を内容とするモード情報Mの説明図、である。

【0245】

ここで、図13(a)～(d)の説明では、図1のソースメモリ10に、3画素×6画素の画素データ1～18が格納され、これらを使用してフィルタ処理を実行する場合を例に挙げる。

【0246】

従って、図9のフィルタ演算器31は、端画素処理器32に対して、画素データ2、5、8、11、14、17を出力することになる。

【0247】

まず、図13(a)を用いて、モード2' b00について説明する。モード2' b00は、フィルタ演算器31が出力した画素データ2、5、8、11、14、17のうち、両端の画素データ2、17は、フィルタ未処理の画素データであるが、表示に必要な画素データであり、画素データ5、8、11、14は、フィルタ処理画素データである、ことを示す。

【0248】

従って、モード信号SMにより、図9のレジスタ33に設定されたモード情報Mが、モード2' b00の場合は、端画素処理器32は、入力された全ての画素データ2、5、8、11、14、17を出力し、かつ、これら全てが、デスティネーションメモリ11に書き込まれるような書込指示信号SWを出力する。

【0249】

なお、図13(a)～(c)では、フィルタ未処理の画素データであるが、表示に必要な画素データを、「スルーデータ」と表記している。

【0250】

モード2' b00は、例えば、処理する画像がQCIF画像であり、フィルタ処理の単位が、3画素×3画素の場合において、ソースメモリ10に、3ライン×176画素の画像データを転送してフィルタ処理を実行する場合に設定される

【0251】

次に、図13(b)を用いて、モード2' b01について説明する。モード2' b01は、フィルタ演算器31が出力した画素データ2、5、8、11、14、17のうち、画素データ2は、フィルタ未処理の画素データであるが、表示に必要な画素データであり、画素データ5、8、11、14は、フィルタ処理画素データで、画素データ17は、不要な画素データである、ことを示す。

【0252】

従って、モード信号SMにより、図9のレジスタ33に設定されたモード情報Mが、モード2' b01の場合は、端画素処理器32は、入力された画素データ2、5、8、11、14、17のうち、画素データ2、5、8、11、14を出力し、画素データ17は出力しない。

【0253】

そして、端画素処理器32は、画素データ2、5、8、11、14だけが、デスティネーションメモリ11に書き込まれるような書込指示信号SWを、データ書き込み部121に対して出力する。

【0254】

モード2' b01は、例えば、図10(d)に示すように、右端の画素データ(N, 64)を出力しない場合に設定される。

【0255】

従って、上記した第1回目のフィルタ処理では、レジスタ33に、モード2' b01が設定されている。

【0256】

次に、図13(c)を用いて、モード2' b10について説明する。モード2' b10は、フィルタ演算器31が出力した画素データ2、5、8、11、14、17のうち、画素データ2は、不要な画素データであり、画素データ5、8、11、14は、フィルタ処理画素データで、画素データ17は、フィルタ未処理の画素データであるが、表示に必要な画素データである、ことを示す。

【0257】

従って、モード信号SMにより、図9のレジスタ33に設定されたモード情報Mが、モード2' b10の場合は、端画素処理器32は、入力された画素データ2、5、8、11、14、17のうち、画素データ5、8、11、14、17を出力し、画素データ2は出力しない。

【0258】

そして、端画素処理器32は、画素データ5、8、11、14、17だけが、デスティネーションメモリ11に書き込まれるような書込指示信号SWを、データ書き込み部121に対して出力する。

【0259】

モード2' b10は、例えば、図12(d)に示すように、左端の画素データ(N, 125)を出力しない場合に設定される。

【0260】

従って、上記した第3回目のフィルタ処理では、レジスタ33に、モード2' b10が設定されている。

【0261】

次に、図13(d)を用いて、モード2' b11について説明する。モード2' b11は、フィルタ演算器31が出力した画素データ2、5、8、11、14、17のうち、画素データ2、17は、不要な画素データであり、画素データ5、8、11、14は、フィルタ処理画素データである、ことを示す。

【0262】

従って、モード信号SMにより、図9のレジスタ33に設定されたモード情報Mが、モード2' b11の場合は、端画素処理器32は、入力された画素データ2、5、8、11、14、17のうち、画素データ5、8、11、14を出力し、画素データ2、17は出力しない。

【0263】

そして、端画素処理器32は、画素データ5、8、11、14だけが、デスティネーションメモリ11に書き込まれるような書込指示信号SWを、データ書き込み部121に対して出力する。

【0264】

モード2' b 1 1は、例えば、図1 1 (d) に示すように、両端の画素データ (N, 6 3)、(N, 1 2 6) を出力しない場合に設定される。

【0 2 6 5】

従って、上記した第2回目のフィルタ処理では、レジスタ3 3に、モード2' b 1 1が設定されている。

【0 2 6 6】

さて、次に、モード情報Mについて、具体例を挙げながら説明する。

図1 4 (a) ~ (c) は、モード情報Mの利用方法の例示図である。図1 4 (a) は、モード2' b 0 1を利用する場合の例示図、図1 4 (b) は、モード2' b 1 1を利用する場合の例示図、図1 4 (c) は、モード2' b 1 0を利用する場合の例示図、である。

【0 2 6 7】

図1 4 (a) ~ (c) の説明では、3画素×6画素からなる画像データに対してフィルタ処理を実行する場合を例を挙げる。

【0 2 6 8】

従って、図1の画像メモリ2には、図1 4 (a) ~ (c) に示すように、画素データ1 ~ 1 8が格納されているとする。

【0 2 6 9】

さて、図1 4 (a) に示すように、図1のソースメモリ1 0に画素データ1 ~ 9を転送するとする。

【0 2 7 0】

この場合は、図9のレジスタ3 3には、モード2' b 0 1を設定する。そうすれば、端画素処理器3 2は、フィルタ演算器3 1から入力された画素データ2、5、8のうち、画素データ2、5だけを出力する。

【0 2 7 1】

次に、図1 4 (b) に示すように、図1のソースメモリ1 0に画素データ4 ~ 1 5を転送するとする。

【0 2 7 2】

この場合は、図9のレジスタ3 3には、モード2' b 1 1を設定する。そうす

れば、端画素処理器 32 は、フィルタ演算器 31 から入力された画素データ 5、8、11、14 のうち、画素データ 8、11 だけを出力する。

【0273】

次に、図 14 (c) に示すように、図 1 のソースメモリ 10 に画素データ 10 ～ 18 を転送するとする。

【0274】

この場合は、図 9 のレジスタ 33 には、モード 2' b10 を設定する。そうすれば、端画素処理器 32 は、フィルタ演算器 31 から入力された画素データ 11、14、17 のうち、画素データ 14、17 だけを出力する。

【0275】

さて、以上のように、実施の形態 2 による画像処理装置によれば、フィルタ処理が終了した画素データは、中間の処理で出力される不必要な画素データ（図 8 の例では、画素データ (N, 64)、(N, 63)、(N, 126)、(N, 125)）を取り除いてあるため、ラインデータを作成する処理時間を削減可能である。

【0276】

また、実施の形態 2 による画像処理装置は、実施の形態 1 による画像処理装置の構成を包含しているので、実施の形態 1 と同様の効果を奏する。

【0277】

（実施の形態 3）

本発明の実施の形態 3 における画像処理装置は、図 1 のフィルタ処理回路 3 に代えて、以下に説明するフィルタ処理回路 5 を設けたものである。実施の形態 3 における画像処理装置のその他の構成は、図 1 の画像処理装置と同様である。

【0278】

図 15 は、実施の形態 3 におけるフィルタ処理回路 5 のブロック図である。図 15 に示すように、このフィルタ処理回路 5 は、図 9 のフィルタ処理回路 4 の構成に加えて、画素保持バッファ器 50、セレクタ 52、53、及び、セレクタ制御器 51、を設けたものである。

【0279】

次に、フィルタ処理を簡単に説明する。

図16は、実施の形態3の画像処理装置によるフィルタ処理の概念図である。
なお、図16での表記は、図2での表記と同様である。

【0280】

図16に示すように、最初に、3ライン×176画素の画像データ100を分割した3画素×5画素の画像データ101が、図1の画像メモリ2からソースメモリ10へ転送される。

【0281】

そして、ソースメモリ10から、フィルタ処理回路5へ、画像データ101が、画素データ単位で順次与えられる。

【0282】

フィルタ処理回路5は、与えられた3画素×3画素の画素データを用いて、1個のフィルタ対象画素データに対して、フィルタ処理を施す。

【0283】

このようにして、画像データ101に含まれる3個全てのフィルタ対象画素データに対して、フィルタ処理を実行する。

【0284】

そして、今回のフィルタ処理の終了時に、次のフィルタ処理に使用する画像データ109を、フィルタ処理回路5の画素保持バッファ器50に格納する。

【0285】

次に、3ライン×176画素の画像データ100を分割した3画素×4画素の画像データ106が、画像メモリ2からソースメモリ10へ転送される。

【0286】

そして、フィルタ処理回路5は、ソースメモリ10に格納された画像データ106とフィルタ処理回路5の内部の画素保持バッファ器50に保持された画像データ109とを用いて、フィルタ処理を実行する。

【0287】

以上のような処理を繰り返して、3ライン×176画素の画像データ100に含まれる全てのフィルタ対象画素データに対して、フィルタ処理が施される。そ

の結果、フィルタ処理後の1ラインの画像データ105を得ることができる。

【0288】

以上のように、本実施の形態では、今回のフィルタ処理で使用した画像データ101のうち、次回のフィルタ処理で使用する画像データ109を、今回のフィルタ処理の終了時に、フィルタ処理回路5の内部の画素保持バッファ器50に格納する。

【0289】

このようにして、画像メモリ2からソースメモリ10への画素データの転送数およびソースメモリ10からフィルタ処理回路5への画素データの転送数を削減する。

【0290】

次に、図1、図15、図17及び図18を用いて、フィルタ処理を詳細に説明する。この場合、図1のソースメモリ10が、最大で3ライン×64画素の画像データを格納可能である場合を例に挙げる。

【0291】

また、フィルタ処理の単位は、3画素×3画素の画像データとし、3画素×3画素の中心に位置する画素に対応する画素データが、フィルタ対象画素データである。

【0292】

図17(a)～図17(c)は、フィルタ処理を行う際の処理の流れを示す図である。図17(a)は、第1回目のフィルタ処理を行う際の処理の流れを示す図、図17(b)は、第2回目のフィルタ処理を行う際の処理の流れを示す図、図17(c)は、第3回目のフィルタ処理を行う際の処理の流れを示す図、である。なお、図17において、図1と同様の部分については、同一の符号を付している。

【0293】

図18(a)～図18(c)は、実施の形態3のフィルタ処理の特徴を説明するためのタイムチャートである。図18(a)は、第1回目のフィルタ処理の終了時に、シフトレジスタ30から画素保持バッファ器50へ画像データが転送さ

れる様子を示す図、図18(b)は、第2回目のフィルタ処理の開始時の様子を示す図、図18(c)は、データ書き込み部121がデスティネーションメモリ11に書き込む画素データを示す図、である。

【0294】

さて、第1回目のフィルタ処理は、実施の形態2の第1回目のフィルタ処理(図10(a)~図10(e)参照)と同様であり、説明を省略する。

ただし、フィルタ処理終了時において、さらに、以下の処理が実行される。

【0295】

図18(a)に示すように、第1回目のフィルタ処理の最後のサイクルCY184では、シフトレジスタ30のフリップフロップFF1~FF9は、それぞれ、画素データ(N-1, 62)~(N+1, 64)を出力する。

【0296】

そして、最後のサイクルCY184でシフトレジスタ30が出力する画素データ(N-1, 62)~(N+1, 64)のうち、第2回目のフィルタ処理に使用する画素データ(N-1, 63)、(N, 63)、(N+1, 63)、(N-1, 64)、(N, 64)、(N+1, 64)を、図15の画素保持バッファ器50に保持する。

【0297】

つまり、最後のサイクルCY184でフリップフロップFF4、FF5、FF6、FF7、FF8、FF9が出力する画素データ(N-1, 63)、(N, 63)、(N+1, 63)、(N-1, 64)、(N, 64)、(N+1, 64)を、図15の画素保持バッファ器50に保持する。

【0298】

次に、第2回目のフィルタ処理について説明する。第1回目のフィルタ処理終了後に、モード信号SMにより、両端の画素データを出力しないモード情報M(図13(d)のモード2'b11)を設定する。

【0299】

また、図17(b)に示すように、図1の画像メモリ2からソースメモリ10へ、画素データ(N-1, 65)、(N, 65)、(N+1, 65)、…、(N

−1, 126)、(N, 126)、(N+1, 126)を転送する。

【0300】

この場合、画素データ(N−1, 63)、(N, 63)、(N+1, 63)、(N−1, 64)、(N, 64)、(N+1, 64)は、ソースメモリ10へ転送されず、第2回目のフィルタ処理では、フィルタ処理回路5の画素保持バッファ器50が保持している画素データ(N−1, 63)、(N, 63)、(N+1, 63)、(N−1, 64)、(N, 64)、(N+1, 64)を使用する。

【0301】

さて、図18(b)に示すように、第2回目のフィルタ処理の最初のサイクルCY#1では、フリップフロップFF9は、ソースメモリ10から入力された画素データ(N−1, 65)を出力する。

【0302】

また、サイクルCY#1では、フリップフロップFF3、FF6は、それぞれ、図15の画素保持バッファ器50から入力された画素データ(N−1, 63)、(N−1, 64)を出力する。

【0303】

次のサイクルCY#2では、フリップフロップFF9は、ソースメモリ10から入力された画素データ(N, 65)を出力し、フリップフロップFF8は、フリップフロップFF9からシフトされた画素データ(N−1, 65)を出力する。

【0304】

また、サイクルCY#2では、フリップフロップFF3、FF6は、それぞれ、図15の画素保持バッファ器50から入力された画素データ(N, 63)、(N, 64)を出力し、フリップフロップFF2、FF5は、それぞれ、フリップフロップFF3、FF6からシフトされた画素データ(N−1, 63)、(N−1, 64)を出力する。

【0305】

次のサイクルCY#3では、フリップフロップFF9は、ソースメモリ10から入力された画素データ(N+1, 65)を出力し、フリップフロップFF7、

FF8は、それぞれ、フリップフロップFF8、FF9からシフトされた画素データ $(N-1, 65)$ 、 $(N, 65)$ を出力する。

【0306】

また、サイクルCY#3では、フリップフロップFF3、FF6は、それぞれ、図15の画素保持バッファ器50から入力された画素データ $(N+1, 63)$ 、 $(N+1, 64)$ を出力し、フリップフロップFF1、FF2、FF4、FF5は、それぞれ、フリップフロップFF2、FF3、FF5、FF6からシフトされた画素データ $(N-1, 63)$ 、 $(N, 63)$ $(N-1, 64)$ 、 $(N, 64)$ を出力する。

【0307】

この時点で、図18(c)に示すように、最初のフィルタ処理画素データ $(FN, 64)$ が出力され、以降は実施の形態2と同様に通常のシフト動作を行ってフィルタ処理を行う。

【0308】

そして、第1回目のフィルタ処理の場合と同様に、第2回目のフィルタ処理の終了時に、第3回目のフィルタ処理に使用する画素データを、図15の画素保持バッファ器50に保持する。

【0309】

つまり、第2回目のフィルタ処理の終了時にフリップフロップFF4、FF5、FF6、FF7、FF8、FF9が出力する画素データ $(N-1, 125)$ 、 $(N, 125)$ 、 $(N+1, 125)$ 、 $(N-1, 126)$ 、 $(N, 126)$ 、 $(N+1, 126)$ を、画素保持バッファ器50に保持する。

【0310】

次に、第3回目のフィルタ処理について説明する。第2回目のフィルタ処理終了後に、モード信号SMにより、左端の画素データを出力しないモード情報M(図13(c)のモード2' b10)を設定する。

【0311】

また、図17(c)に示すように、図1の画像メモリ2からソースメモリ10へ、画素データ $(N-1, 127)$ 、 $(N, 127)$ 、 $(N+1, 127)$ 、...

、 $(N-1, 176)$ 、 $(N, 176)$ 、 $(N+1, 176)$ を転送する。

【0312】

この場合、画素データ $(N-1, 125)$ 、 $(N, 125)$ 、 $(N+1, 125)$ 、 $(N-1, 126)$ 、 $(N, 126)$ 、 $(N+1, 126)$ は、ソースメモリ10へ転送されず、第3回目のフィルタ処理では、フィルタ処理回路5の画素保持バッファ器50が保持している画素データ $(N-1, 125)$ 、 $(N, 125)$ 、 $(N+1, 125)$ 、 $(N-1, 126)$ 、 $(N, 126)$ 、 $(N+1, 126)$ を使用する。

【0313】

第3回目のフィルタ処理の3サイクル目までは、第2回目のフィルタ処理の3サイクル目までの処理と同様に、シフトレジスタ30は、ソースメモリ10と画素保持バッファ器50とから入力された画素データを出力し、フィルタ処理が実行される。4サイクル目からの処理は、実施の形態2と同様である。

【0314】

さて、次に、画素保持バッファ器50への画素データの転送と、画素保持バッファ器50からシフトレジスタ30への画素データの転送と、を図15を用いて詳しく説明する。

【0315】

セクタ制御器51には、レジスタ33に保持されているモード情報Mが与えられる。

【0316】

セクタ制御器51は、モード情報Mを基に、選択信号SCを生成する。この選択信号SCは、セクタ52、53に与えられる。

【0317】

セクタ52には、画素保持バッファ器50が出力する画素データと、フリップフロップFF4が出力する画素データと、が入力される。

【0318】

そして、セクタ52は、入力される選択信号SCに従って、画素保持バッファ器50が出力する画素データ、あるいは、フリップフロップFF4が出力する

画素データ、のいずれか一方を選択して、選択した画素データを、フリップフロップFF3へ出力する。

【0319】

一方、セクタ53には、画素保持バッファ器50が出力する画素データと、フリップフロップFF7が出力する画素データと、が入力される。

【0320】

そして、セクタ53は、入力される選択信号SCに従って、画素保持バッファ器50が出力する画素データ、あるいは、フリップフロップFF7が出力する画素データ、のいずれか一方を選択して、選択した画素データを、フリップフロップFF6へ出力する。

【0321】

以上のことを、図18(a)(b)の例を用いて説明する。図18(a)に示すように、第1回目のフィルタ処理のサイクルCY184では、図15のフリップフロップFF4～FF9が出力した画素データ(N-1, 63)、(N, 63)、(N+1, 63)、(N-1, 64)、(N, 64)、(N+1, 64)は、画素保持バッファ器50に保持される。

【0322】

そして、図18(b)に示すように、第2回目のフィルタ処理のサイクルCY#1では、フリップフロップFF3、FF6は、それぞれ、画素データ(N-1, 63)、(N-1, 64)を出力する。

【0323】

従って、サイクルCY#1の前で、図15のセクタ52は、選択信号SCに従って、画素保持バッファ器50が出力する画素データ(N-1, 63)を選択して、フリップフロップFF3へ入力する。

【0324】

また、サイクルCY#1の前で、選択信号SCに従って、セクタ53は、画素保持バッファ器50が出力する画素データ(N-1, 64)を選択して、フリップフロップFF6へ入力する。

【0325】

図18(b)に示すように、サイクルCY#2では、フリップフロップFF3、FF6は、それぞれ、画素データ(N, 63)、(N, 64)を出力する。

【0326】

従って、サイクルCY#2の前で、選択信号SCに従って、セクタ52は、画素保持バッファ器50が出力する画素データ(N, 63)を選択して、フリップフロップFF3へ入力する。

【0327】

また、サイクルCY#2の前で、選択信号SCに従って、セクタ53は、画素保持バッファ器50が出力する画素データ(N, 64)を選択して、フリップフロップFF6へ入力する。

【0328】

図18(b)に示すように、サイクルCY#3では、フリップフロップFF3、FF6は、それぞれ、画素データ(N+1, 63)、(N+1, 64)を出力する。

【0329】

従って、サイクルCY#3の前で、選択信号SCに従って、セクタ52は、画素保持バッファ器50が出力する画素データ(N+1, 63)を選択して、フリップフロップFF3へ入力する。

【0330】

また、サイクルCY#3の前で、選択信号SCに従って、セクタ53は、画素保持バッファ器50が出力する画素データ(N+1, 64)を選択して、フリップフロップFF6へ入力する。

【0331】

以降では、選択信号SCに従って、セクタ52、53は、それぞれ、フリップフロップFF4、FF7が出力する画素データを選択する。

【0332】

以上のように、実施の形態3による画像処理装置によれば、今回のフィルタ処理の終了時点で、次回のフィルタ処理に必要な画素データを保持し、次回のフィルタ処理時に流用できる。その結果、データの転送数を削減可能である。

【0333】

また、実施の形態3による画像処理装置は、実施の形態2による画像処理装置の構成を包含しているので、実施の形態2と同様の効果を奏する。

【0334】

(実施の形態4)

本発明の実施の形態4における画像処理装置は、図1のフィルタ処理回路3に代えて、以下に説明するフィルタ処理回路6を設けたものである。実施の形態4における画像処理装置のその他の構成は、図1の画像処理装置と同様である。

【0335】

図19は、実施の形態4におけるフィルタ処理回路6のブロック図である。なお、図19において、図9と同様の部分については、同一の符号を付している。

【0336】

図19に示すように、このフィルタ処理回路6は、図9のデータ出力制御ユニット80に代えて、データ出力制御ユニット81を設けたものである。

【0337】

このデータ出力制御ユニット81は、ダウンカウンタ62、一致検出器61、及び、端画素処理器32、を含む。

【0338】

フィルタ処理の開始前に、画素数設定信号SNにより、ダウンカウンタ62及び一致検出器61に、1ライン分の画素数を初期値として設定する。画素数設定信号SNは、例えば、プロセッサ1の命令で入力される。

【0339】

ダウンカウンタ62は、端画素処理器32から画素データD\$が出力される度に、カウントダウンを実行する。

【0340】

具体的には、ダウンカウンタ62は、端画素処理器32から「H」レベルの書込指示信号SWが入力される度に、カウントダウンを実行する。

【0341】

そして、ダウンカウンタ62は、カウント数を表すカウントダウン信号SDを

、一致検出器 61 に出力する。

【0342】

一致検出器 61 は、画素数設定信号 SN により設定された画素数と、カウントダウン信号 SD が表すカウント数と、を比較し、一致している場合は、「H」レベルの一致信号 SA を、端画素処理器 32 に出力する。

【0343】

また、一致検出器 61 は、カウントダウン信号 SD が表すカウント数が「1」の場合に、「H」レベルの一致信号 SA を、端画素処理器 32 に出力する。

【0344】

従って、「H」レベルの一致信号 SA が出力されるのは、一番最初の画素データ D \$ が出力される前及び一番最後の画素データ D \$ が出力される前だけである。

【0345】

端画素処理器 32 は、「H」レベルの一致信号 SA が入力された場合と、フィルタ処理開始信号 S s が入力されず、かつ、「L」レベルの一致信号 SA が入力された場合と、フィルタ処理終了信号 S e が入力されず、かつ、「L」レベルの一致信号 SA が入力された場合と、において、入力された画素データを出力する。

【0346】

従って、フィルタ処理開始信号 S s 及び「L」レベルの一致信号 SA が入力された場合と、フィルタ処理終了信号 S e 及び「L」レベルの一致信号 SA が入力された場合と、においては、入力された画素データを出力しない。この点は、後で具体例を挙げながら説明する。

【0347】

また、端画素処理器 32 は、「H」レベルの一致信号 SA が入力された場合と、フィルタ処理開始信号 S s が入力されず、かつ、「L」レベルの一致信号 SA が入力された場合と、フィルタ処理終了信号 S e が入力されず、かつ、「L」レベルの一致信号 SA が入力された場合と、において、「H」レベルの書込指示信号を出力する。

【0348】

従って、フィルタ処理開始信号 S_s 及び「L」レベルの一致信号 S_A が入力された場合と、フィルタ処理終了信号 S_e 及び「L」レベルの一致信号 S_A が入力された場合と、においては、「H」レベルの書込指示信号を出力しない。この点は、後で具体例を挙げながら説明する。

【0349】

次に、実施の形態4のフィルタ処理の特徴を簡単に説明する。

図20は、実施の形態4の画像処理装置によるフィルタ処理の概念図である。なお、図20での表記は、図2での表記と同様である。

【0350】

図20に示すように、本実施の形態では、図19のダウンカウンタ62に、1ラインの画素数176を設定する。

【0351】

そして、図19の端画素処理器32が、画素データ $D_\$$ を出力する度に、ダウンカウンタ62は、「1」ずつカウントダウンしていく。

【0352】

データ出力制御ユニット81は、ダウンカウンタ62の情報に基づいて、入力される画素データのうち、必要な画素データ $\$$ だけを出力する。

【0353】

このように、最初に1ライン分の画素数をダウンカウンタ62に設定するだけで、3ライン×176画素の画像データのための端画素処理を実行できる。

【0354】

なお、実施の形態2では、3ライン×176画素の画像データのための端画素処理を実行するには、モード情報 M を、3回設定した。

【0355】

次に、フィルタ処理を詳細に説明する。

この場合、図1のソースメモリ10が、最大で3ライン×64画素の画像データを格納可能である場合を例に挙げる。

【0356】

また、フィルタ処理の単位は、3画素×3画素の画像データとし、3画素×3画素の中心に位置する画素に対応する画素データが、フィルタ対象画素データである。

【0357】

図21(a)～図21(c)は、フィルタ処理を行う際の処理の流れを示す図である。図21(a)は、第1回目のフィルタ処理を行う際の処理の流れを示す図、図21(b)は、第2回目のフィルタ処理を行う際の処理の流れを示す図、図22(c)は、第3回目のフィルタ処理を行う際の処理の流れを示す図、である。

【0358】

なお、図21(a)～図21(c)において、図1と同様の部分については、同一の符号を付している。

【0359】

図22(a)～図22(f)は、第1回目のフィルタ処理のタイムチャートである。図22(a)は、図19のフィルタ演算器31に与えられる画素データを各サイクル毎に示す図、図22(b)は、図19のダウンカウンタ62のカウント数を示す図、図22(c)は、図19のフィルタ演算器31が出力する画素データを示す図、図22(d)は、図9のフィルタ演算器31が出力する有効データ指示信号を示す図、図22(e)は、データ書き込み部121がデスティネーションメモリ11に書き込む画素データを示す図、図22(f)は、図19の端面素処理器32が出力する書込指示信号を示す図、である。

【0360】

図23(a)～図23(f)は、第2回目のフィルタ処理のタイムチャートである。図23(a)は、図19のフィルタ演算器31に与えられる画素データを各サイクル毎に示す図、図23(b)は、図19のダウンカウンタ62のカウント数を示す図、図23(c)は、図19のフィルタ演算器31が出力する画素データを示す図、図23(d)は、図9のフィルタ演算器31が出力する有効データ指示信号を示す図、図23(e)は、データ書き込み部121がデスティネーションメモリ11に書き込む画素データを示す図、図23(f)は、図19の端

画素処理器 32 が出力する書込指示信号を示す図、である。

【0361】

図 24 (a) ～図 24 (f) は、第 3 回目のフィルタ処理のタイムチャートである。図 24 (a) は、図 19 のフィルタ演算器 31 に与えられる画素データを各サイクル毎に示す図、図 24 (b) は、図 19 のダウンカウンタ 62 のカウント数を示す図、図 24 (c) は、図 19 のフィルタ演算器 31 が出力する画素データを示す図、図 24 (d) は、図 9 のフィルタ演算器 31 が出力する有効データ指示信号を示す図、図 22 (e) は、データ書き込み部 121 がデスティネーションメモリ 11 に書き込む画素データを示す図、図 24 (f) は、図 19 の端画素処理器 32 が出力する書込指示信号を示す図、である。

【0362】

まず、図 1、図 19、図 21 (a) 及び、図 22 (a) ～ (f) を用いて、第 1 回目のフィルタ処理について説明する。

【0363】

図 19 のフィルタ演算器 31 が、フィルタ処理画素データ D # 及び有効データ指示信号 S E を出力するまでの処理は、実施の形態 1 の図 4 のフィルタ演算器 31 が、フィルタ処理画素データ D # 及び有効データ指示信号 S E を出力するまでの処理 (図 5 (a) ～ (c) 参照) と同様であり、説明を省略する。

【0364】

ただし、図 19 に示すように、第 1 回目のフィルタ処理の開始前に、画素数設定信号 S N により、ダウンカウンタ 62 及び一致検出器 61 に、1 ライン分の画素数「176」を設定する。

【0365】

従って、図 22 (b) に示すように、ダウンカウンタ 62 は、一番最初は、カウント数「176」を表すカウントダウン信号 S D を一致検出器 61 に出力する。

【0366】

この場合、画素数設定信号 S N により設定された画素数「176」と、カウントダウン信号 S D が表すカウント数「176」と、が一致しているため、一致検

出器 61 は、「H」レベルの一致信号 SA を、端画素処理器 32 に出力する。

【0367】

すると、この一致信号 SA を受けて、端画素処理器 32 は、図 22 (e) (f) に示すように、フィルタ演算器 31 が出力した画素データ (N, 1) と、「H」レベルの書込指示信号 SW と、を出力する。

【0368】

また、端画素処理器 32 は、「H」レベルの書込指示信号 SW をダウンカウンタ 62 へも出力する。

【0369】

すると、ダウンカウンタ 62 は、初期値「176」から 1 つカウントダウンして、図 22 (b) に示すように、カウント数「175」を表すカウントダウン信号 SD を一致検出器 61 に出力する。

【0370】

この場合、画素数設定信号 SN により設定された画素数「176」と、カウントダウン信号 SD が表すカウント数「175」と、が一致していないため、一致検出器 61 は、「L」レベルの一致信号 SA を出力する。

【0371】

従って、端画素処理器 32 は、図 22 (e) (f) に示すように、フィルタ演算器 31 が出力したフィルタ処理画素データ (FN, 2) と、「H」レベルの書込指示信号 SW と、を出力する。

【0372】

また、端画素処理器 32 は、図 22 (f) に示すように、「H」レベルの書込指示信号 SW をダウンカウンタ 62 へも出力する。

【0373】

以降においても、「L」レベルの一致信号 SA は出力されるので、端画素処理器 32 は、図 22 (e) に示すように、フィルタ演算器 31 が出力したフィルタ処理画素データ (FN, 3)、…、(FN, 63) を、データ書き込み部 121 に出力していく。

【0374】

また、端画素処理器 32 は、図 22 (f) に示すように、フィルタ処理画素データ (FN, 3)、…、(FN, 63) の出力に合わせて、データ書き込み部 121 に、「H」レベルの書込指示信号 SW を出力していく。

【0375】

そして、端画素処理器 32 がフィルタ処理画素データ (FN, 63) を出力した後に、データ読み出し部 120 が、フィルタ処理終了信号 Se を、端画素処理器 32 に入力する。

【0376】

すると、フィルタ処理終了信号 Se 及び「L」レベルの一致信号 SA を受けて、端画素処理器 32 は、図 22 (e) に示すように、フィルタ演算器 31 が最後に出力した画素データ (N, 64) を出力しない。

【0377】

また、フィルタ処理終了信号 Se 及び「L」レベルの一致信号 SA を受けて、端画素処理器 32 は、図 22 (f) に示すように、「H」レベルの書込指示信号 SW を出力しない。

【0378】

従って、ダウンカウンタ 62 は、カウントダウンを実行しないため、第 1 回目のフィルタ処理が終了した時点では、カウント数は「113」である。

【0379】

以上の結果、図 21 (a) に示すように、デスティネーションメモリ 11 には、必要な画素データ (N, 1)、(FN, 2)、…、(FN, 63) だけが書き込まれ、不要な画素データ (N, 64) は、書き込まれない。

【0380】

そして、デスティネーションメモリ 11 に書き込まれた画素データ (N, 1)、(FN, 2)、…、(FN, 63) は、画像メモリ 2 に転送される。

【0381】

次に、図 1、図 19、図 21 (b) 及び、図 23 (a) ～ (f) を用いて、第 2 回目のフィルタ処理について説明する。

【0382】

図19のフィルタ演算器31が、フィルタ処理画素データD#及び有効データ指示信号SEを出力するまでの処理は、実施の形態1の図4のフィルタ演算器31が、フィルタ処理画素データD#及び有効データ指示信号SEを出力するまでの処理（図6（a）～（c）参照）と同様であり、説明を省略する。

【0383】

さて、図23（c）（d）に示すように、端画素処理器32は、有効データ指示信号SEに従って、フィルタ演算器31から出力される画素データ（N、63）、（FN、64）、…、（FN、125）、（N、126）、を取り込む。

【0384】

このケースでは、図23（b）に示すように、画素数設定信号SNにより設定された画素数「176」と、カウンタダウン信号SDが表すカウント数と、が一致していないため、一致検出器61は、「L」レベルの一致信号SAを出力する。

【0385】

一方、第2回目のフィルタ処理を開始する際には、データ読み出し部120が、図19の端画素処理器32に対して、フィルタ処理開始信号Ssを出力する。

【0386】

従って、端画素処理器32は、このフィルタ処理開始信号Ss及び「L」レベルの一致信号SAを受けて、図23（e）に示すように、フィルタ演算器31が最初に入力する画素データ（N、63）を出力しない。

【0387】

また、端画素処理器32は、このフィルタ処理開始信号Ss及び「L」レベルの一致信号SAを受けて、図23（f）に示すように、「H」レベルの書込指示信号SWを出力しない。

【0388】

従って、ダウンカウンタ62は、カウンタダウンを実行しないため、図23（b）に示すように、この時点では、カウント数は「113」のままである。

【0389】

以降においては、端画素処理器32へ、フィルタ処理開始信号Ssが入力され

ず、かつ、「L」レベルの一致信号SA入力されるため、端画素処理器32は、フィルタ演算器31が出力したフィルタ処理画素データ(FN, 64)、…、(FN, 125)を、図23(e)に示すように、出力していく。

【0390】

また、端画素処理器32は、図23(f)に示すように、フィルタ処理画素データ(FN, 64)、…、(FN, 125)の出力に合わせて、データ書き込み部121に、「H」レベルの書込指示信号SWを出力していく。

【0391】

そして、図23(e)に示すように、端画素処理器32がフィルタ処理画素データ(FN, 125)を出力した後に、データ読み出し部120が、フィルタ処理終了信号Seを、端画素処理器32に入力する。

【0392】

すると、フィルタ処理終了信号Se及び「L」レベルの一致信号SAを受けて、端画素処理器32は、図23(e)に示すように、フィルタ演算器31が最後に出した画素データ(N, 126)を出力しない。

【0393】

また、フィルタ処理終了信号Se及び「L」レベルの一致信号SAを受けて、端画素処理器32は、図23(f)に示すように、「H」レベルの書込指示信号SWを出力しない。

【0394】

従って、ダウンカウンタ62は、カウントダウンを実行しないため、第2回目のフィルタ処理が終了した時点では、カウント数は「51」である。

【0395】

以上の結果、図21(b)に示すように、デスティネーションメモリ11には、必要な画素データ(FN, 64)、…、(FN, 125)だけが書き込まれ、不要な画素データ(N, 63)、(N, 126)は、書き込まれない。

【0396】

そして、デスティネーションメモリ11に書き込まれた画素データ(FN, 64)、…、(FN, 125)は、画像メモリ2に転送される。

【0397】

次に、図1、図19、図21(c)及び、図24(a)～(f)を用いて、第3回目のフィルタ処理について説明する。

【0398】

図19のフィルタ演算器31が、フィルタ処理画素データD#及び有効データ指示信号SEを出力するまでの処理は、実施の形態1の図4のフィルタ演算器31が、フィルタ処理画素データD#及び有効データ指示信号SEを出力するまでの処理(図7(a)～(c)参照)と同様であり、説明を省略する。

【0399】

さて、図24(c)(d)に示すように、端画素処理器32は、有効データ指示信号SEに従って、フィルタ演算器31から出力される画素データ(N, 125)、(FN, 126)、…、(FN, 175)、(N, 176)、を取り込む。

【0400】

このケースでは、図24(b)に示すように、画素数設定信号SNにより設定された画素数「176」と、カウントダウン信号SDが表すカウント数と、が一致していないため、一致検出器61は、「L」レベルの一致信号SAを出力する。

【0401】

一方、第3回目のフィルタ処理を開始する際には、データ読み出し部120が、図19の端画素処理器32に対して、フィルタ処理開始信号Ssを出力する。

【0402】

従って、端画素処理器32は、このフィルタ処理開始信号Ss及び「L」レベルの一致信号SAを受けて、図24(e)に示すように、フィルタ演算器31が最初に入力する画素データ(N, 125)を出力しない。

【0403】

また、端画素処理器32は、このフィルタ処理開始信号Ss及び「L」レベルの一致信号SAを受けて、図24(f)に示すように、「H」レベルの書込指示信号SWを出力しない。

【 0 4 0 4 】

従って、ダウンカウンタ 6 2 は、カウントダウンを実行しないため、図 2 4 (b) に示すように、この時点では、カウント数は「 5 1 」のままである。

【 0 4 0 5 】

以降においては、端画素処理器 3 2 へ、フィルタ処理開始信号 S_s が入力されず、かつ、「 L 」レベルの一致信号 S_A が入力されるため、端画素処理器 3 2 は、フィルタ演算器 3 1 が出力したフィルタ処理画素データ ($FN, 126$)、…、($FN, 175$) を、図 2 4 (e) に示すように、出力していく。

【 0 4 0 6 】

また、端画素処理器 3 2 は、図 2 4 (f) に示すように、フィルタ処理画素データ ($FN, 126$)、…、($FN, 175$) の出力に合わせて、データ書き込み部 1 2 1 に、「 H 」レベルの書込指示信号 SW を出力していく。

【 0 4 0 7 】

図 2 4 (b) に示すように、端画素処理器 3 2 が、フィルタ処理画素データ ($FN, 175$) を出力した後は、ダウンカウンタ 6 2 のカウント数は「 1 」となる。

【 0 4 0 8 】

従って、一致検出器 6 1 には、カウント数「 1 」を表すカウントダウン信号 S_D が入力されるため、一致検出器 6 1 は、端画素処理器 3 2 へ、「 H 」レベルの一致信号 S_A を出力する。

【 0 4 0 9 】

すると、この「 H 」レベルの一致信号 S_A を受けて、端画素処理器 3 2 は、図 2 4 (e) に示すように、フィルタ演算器 3 1 が最後に出した画素データ ($N, 176$) を出力する。

【 0 4 1 0 】

また、「 H 」レベルの一致信号 S_A を受けて、端画素処理器 3 2 は、図 2 4 (f) に示すように、「 H 」レベルの書込指示信号 SW を出力する。

【 0 4 1 1 】

以上の結果、図 2 1 (c) に示すように、デスティネーションメモリ 1 1 には

、必要な画素データ (FN, 126)、…、(FN, 175)、(N, 176) だけが書き込まれ、不要な画素データ (N, 125) は、書き込まれない。

【0412】

そして、デスティネーションメモリ 11 に書き込まれた画素データ (FN, 126)、…、(FN, 175)、(N, 176) は、画像メモリ 2 に転送される。

【0413】

さて、以上のように、実施の形態 4 による画像処理装置によれば、フィルタ処理が終了した画素データは、中間の処理で出力される不必要な画素データ (N, 64)、(N, 63)、(N, 126)、(N, 125) を取り除いてあるため、ラインデータを作成する処理時間を削減可能である。

【0414】

また、処理する画素数を、最初に設定するのみで、後の端画素処理を実行できるため、端画素処理のための情報を設定する回数を削減可能である。

【0415】

また、実施の形態 4 による画像処理装置は、実施の形態 1 による画像処理装置の構成を包含しているので、実施の形態 1 と同様の効果を奏する。

【0416】

【発明の効果】

請求項 1 記載の画像処理方法では、複数ラインの画像データを、転送先の記憶手段の記憶容量に合わせて任意に分割して転送できるので、複数ラインの画像データを格納可能な大きな記憶容量を有する記憶手段を用意する必要がない。その結果、面積の増大の抑制を図ることができる。

【0417】

また、転送先として既存の記憶手段を利用できるので、転送先となるフィルタ処理専用の記憶手段を設けることが不要となる。その結果、さらに面積の増大の抑制を図ることができる。

【0418】

さらに、複数の画素データを記憶手段から順次読み出していくため、同じ画素

データを複数回読み出すことなく、複数のフィルタ対象画素データに対して、フィルタ処理を実行でき、処理時間の短縮化を図ることができる。

【0419】

さらに、1ラインにおける画素数を固定せずにフィルタ処理が可能であるため、画像サイズに依存せずフィルタ処理が可能である。

【0420】

請求項2記載の画像処理方法では、複数のフィルタ対象画素データに対するフィルタ処理に使用する複数の画素データを、記憶手段から順次読み出していくため、同じ画素データを複数回読み出すことなく、複数のフィルタ対象画素データに対するフィルタ処理を実行でき、処理時間の短縮化を図ることができる。

【0421】

請求項3記載の画像処理装置では、複数ラインの画像データを、転送先の第1の記憶手段の記憶容量に合わせて任意に分割して転送できるので、複数ラインの画像データを格納可能な大きな記憶容量を有する第1の記憶手段を用意する必要がない。

【0422】

また、転送先の第1の記憶手段として既存の記憶手段を利用できるので、転送先となるフィルタ処理専用の第1の記憶手段を別途設けることが不要となる。

【0423】

さらに、複数ラインの画像データを分割した画像データに含まれる複数のフィルタ対象画素データに対して、フィルタ処理が実行されるので、1ラインの画像データを格納可能な大きな記憶容量を有する第2の記憶手段を用意する必要がない。

【0424】

さらに、書き込み先の第2の記憶手段として既存の記憶手段を利用できるので、書き込み先となるフィルタ処理専用の第2の記憶手段を別途設けることが不要となる。

【0425】

以上の結果、面積の増大の抑制を図ることができる。

【0 4 2 6】

また、複数の画素データを第 1 の記憶手段から順次読み出していくため、同じ画素データを複数回読み出すことなく、複数のフィルタ対象画素データに対するフィルタ処理を実行でき、処理時間の短縮化を図ることができる。

【0 4 2 7】

また、1 ラインにおける画素数を固定せずにフィルタ処理が可能であるため、画像サイズに依存せずフィルタ処理が可能である。

【0 4 2 8】

請求項 4 記載の画像処理装置では、中間の処理で出力される不必要な画素データを、データ出力制御手段により取り除き、必要な画素データだけを出力できる。その結果、ラインデータを作成する処理時間を削減可能である。

【0 4 2 9】

請求項 5 記載の画像処理装置では、中間の処理で出力される不必要な画素データを、データ出力制御手段により取り除き、必要な画素データだけを出力できる。その結果、ラインデータを作成する処理時間を削減可能である。

【0 4 3 0】

また、処理する画素数を、最初に設定するのみで、後の端画素処理を実行できるため、端画素処理のための情報を設定する回数を削減可能である。

【0 4 3 1】

請求項 6 記載の画像処理装置では、今回のフィルタ処理の終了時点で、次回のフィルタ処理に必要な画素データを保持し、次回のフィルタ処理時に流用できる。その結果、データの転送数を削減可能である。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 における画像処理装置のブロック図

【図 2】

同画像処理装置によるフィルタ処理の概念図

【図 3】

(a) 同画像処理装置による第 1 回目のフィルタ処理の流れを示す図

(b) 同画像処理装置による第 2 回目のフィルタ処理の流れを示す図

(c) 同画像処理装置による第 3 回目のフィルタ処理の流れを示す図

【図 4】

同画像処理装置のフィルタ処理回路のブロック図

【図 5】

(a) 同画像処理装置による第 1 回目のフィルタ処理の説明図

(b) 同画像処理装置による第 1 回目のフィルタ処理の説明図

(c) 同画像処理装置による第 1 回目のフィルタ処理の説明図

【図 6】

(a) 同画像処理装置による第 2 回目のフィルタ処理の説明図

(b) 同画像処理装置による第 2 回目のフィルタ処理の説明図

(c) 同画像処理装置による第 2 回目のフィルタ処理の説明図

【図 7】

(a) 同画像処理装置による第 3 回目のフィルタ処理の説明図

(b) 同画像処理装置による第 3 回目のフィルタ処理の説明図

(c) 同画像処理装置による第 3 回目のフィルタ処理の説明図

【図 8】

(a) 本発明の実施の形態 2 における画像処理装置による第 1 回目のフィルタ処理の流れを示す図

(b) 同画像処理装置による第 2 回目のフィルタ処理の流れを示す図

(c) 同画像処理装置による第 3 回目のフィルタ処理の流れを示す図

【図 9】

同画像処理装置のフィルタ処理回路のブロック図

【図 10】

(a) 同画像処理装置による第 1 回目のフィルタ処理の説明図

(b) 同画像処理装置による第 1 回目のフィルタ処理の説明図

(c) 同画像処理装置による第 1 回目のフィルタ処理の説明図

(d) 同画像処理装置による第 1 回目のフィルタ処理の説明図

(e) 同画像処理装置による第 1 回目のフィルタ処理の説明図

【図 1 1】

- (a) 同画像処理装置による第 2 回目のフィルタ処理の説明図
- (b) 同画像処理装置による第 2 回目のフィルタ処理の説明図
- (c) 同画像処理装置による第 2 回目のフィルタ処理の説明図
- (d) 同画像処理装置による第 2 回目のフィルタ処理の説明図
- (e) 同画像処理装置による第 2 回目のフィルタ処理の説明図

【図 1 2】

- (a) 同画像処理装置による第 3 回目のフィルタ処理の説明図
- (b) 同画像処理装置による第 3 回目のフィルタ処理の説明図
- (c) 同画像処理装置による第 3 回目のフィルタ処理の説明図
- (d) 同画像処理装置による第 3 回目のフィルタ処理の説明図
- (e) 同画像処理装置による第 3 回目のフィルタ処理の説明図

【図 1 3】

- (a) 同画像処理装置におけるモード情報 2' b 0 0 の説明図
- (b) 同画像処理装置におけるモード情報 2' b 0 1 の説明図
- (c) 同画像処理装置におけるモード情報 2' b 1 0 の説明図
- (d) 同画像処理装置におけるモード情報 2' b 1 1 の説明図

【図 1 4】

- (a) 同画像処理装置におけるモード情報 2' b 0 1 の使用例の説明図
- (b) 同画像処理装置におけるモード情報 2' b 1 1 の使用例の説明図
- (c) 同画像処理装置におけるモード情報 2' b 1 0 の使用例の説明図

【図 1 5】

本発明の実施の形態 3 における画像処理装置のフィルタ処理回路のブロック図

【図 1 6】

同画像処理装置におけるフィルタ処理の概念図

【図 1 7】

- (a) 同画像処理装置による第 1 回目のフィルタ処理の流れを示す図
- (b) 同画像処理装置による第 2 回目のフィルタ処理の流れを示す図
- (c) 同画像処理装置による第 3 回目のフィルタ処理の流れを示す図

【図 1 8】

(a) 同画像処理装置によるフィルタ処理の特徴の説明図

(b) 同画像処理装置によるフィルタ処理の特徴の説明図

(c) 同画像処理装置によるフィルタ処理の特徴の説明図

【図 1 9】

本発明の実施の形態 4 における画像処理装置のフィルタ処理回路のブロック図

【図 2 0】

同画像処理装置におけるフィルタ処理の概念図

【図 2 1】

(a) 同画像処理装置による第 1 回目のフィルタ処理の流れを示す図

(b) 同画像処理装置による第 2 回目のフィルタ処理の流れを示す図

(c) 同画像処理装置による第 3 回目のフィルタ処理の流れを示す図

【図 2 2】

(a) 同画像処理装置による第 1 回目のフィルタ処理の説明図

(b) 同画像処理装置による第 1 回目のフィルタ処理の説明図

(c) 同画像処理装置による第 1 回目のフィルタ処理の説明図

(d) 同画像処理装置による第 1 回目のフィルタ処理の説明図

(e) 同画像処理装置による第 1 回目のフィルタ処理の説明図

(f) 同画像処理装置による第 1 回目のフィルタ処理の説明図

【図 2 3】

(a) 同画像処理装置による第 2 回目のフィルタ処理の説明図

(b) 同画像処理装置による第 2 回目のフィルタ処理の説明図

(c) 同画像処理装置による第 2 回目のフィルタ処理の説明図

(d) 同画像処理装置による第 2 回目のフィルタ処理の説明図

(e) 同画像処理装置による第 2 回目のフィルタ処理の説明図

(f) 同画像処理装置による第 2 回目のフィルタ処理の説明図

【図 2 4】

(a) 同画像処理装置による第 3 回目のフィルタ処理の説明図

(b) 同画像処理装置による第 3 回目のフィルタ処理の説明図

(c) 同画像処理装置による第 3 回目のフィルタ処理の説明図

(d) 同画像処理装置による第 3 回目のフィルタ処理の説明図

(e) 同画像処理装置による第 3 回目のフィルタ処理の説明図

(f) 同画像処理装置による第 3 回目のフィルタ処理の説明図

【図 2 5】

従来の画像処理装置のブロック図

【図 2 6】

従来の画像処理装置のフィルタ処理回路のブロック図

【図 2 7】

従来の画像処理装置による N ライン目のフィルタ対象画素に対するフィルタ処理の説明図

【図 2 8】

従来の画像処理装置による N + 1 ライン目のフィルタ対象画素に対するフィルタ処理の説明図

【符号の説明】

- 1、5 0 0 プロセッサ
- 2、5 0 1 画像メモリ
- 3、4、5、6、5 0 3 フィルタ処理回路
- 1 0、5 0 5 ソースメモリ
- 1 1、5 0 6 デスティネーションメモリ
- 1 2 制御ユニット
- 3 0 シフトレジスタ
- 3 1 フィルタ演算器
- 3 2 端画素処理器
- 3 3 レジスタ
- 5 0 画素保持バッファ器
- 5 1 セレクタ制御器
- 5 2、5 3 セレクタ
- 6 1 一致検出器

6 2 ダウンカウンタ

8 0、8 1 データ出力制御ユニット

1 2 0、5 0 5 データ読み出し部

1 2 1、5 0 7 データ書き込み部

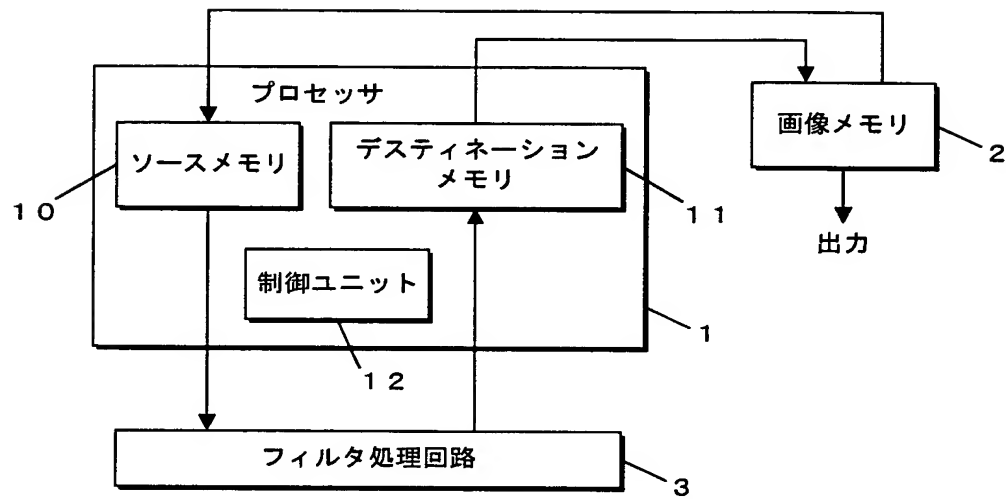
5 0 2、5 0 4 ラインバッファ

5 0 6 フィルタ処理部

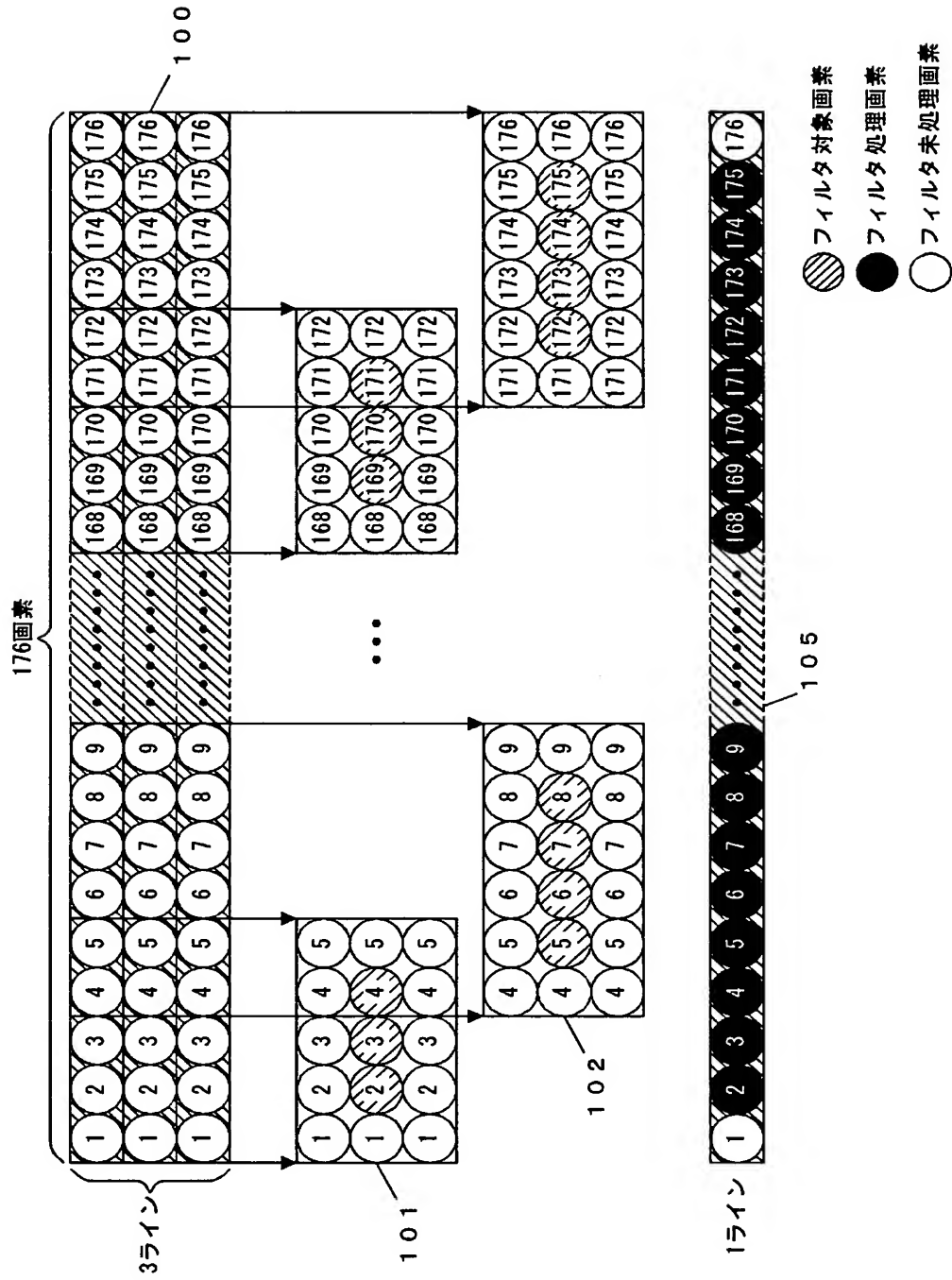
F F 1 ~ F F 9 フリップフロップ

【書類名】 図面

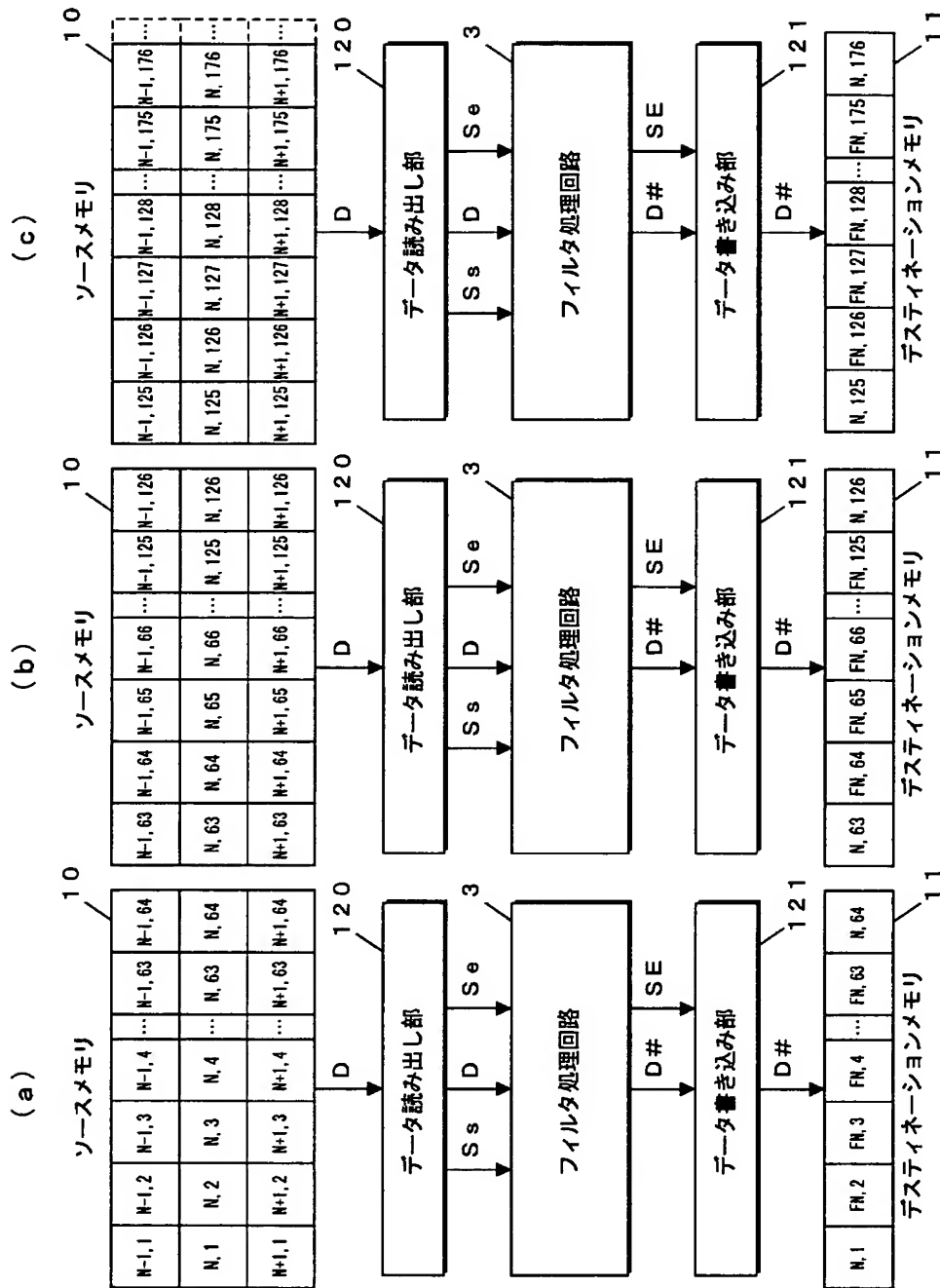
【図 1】



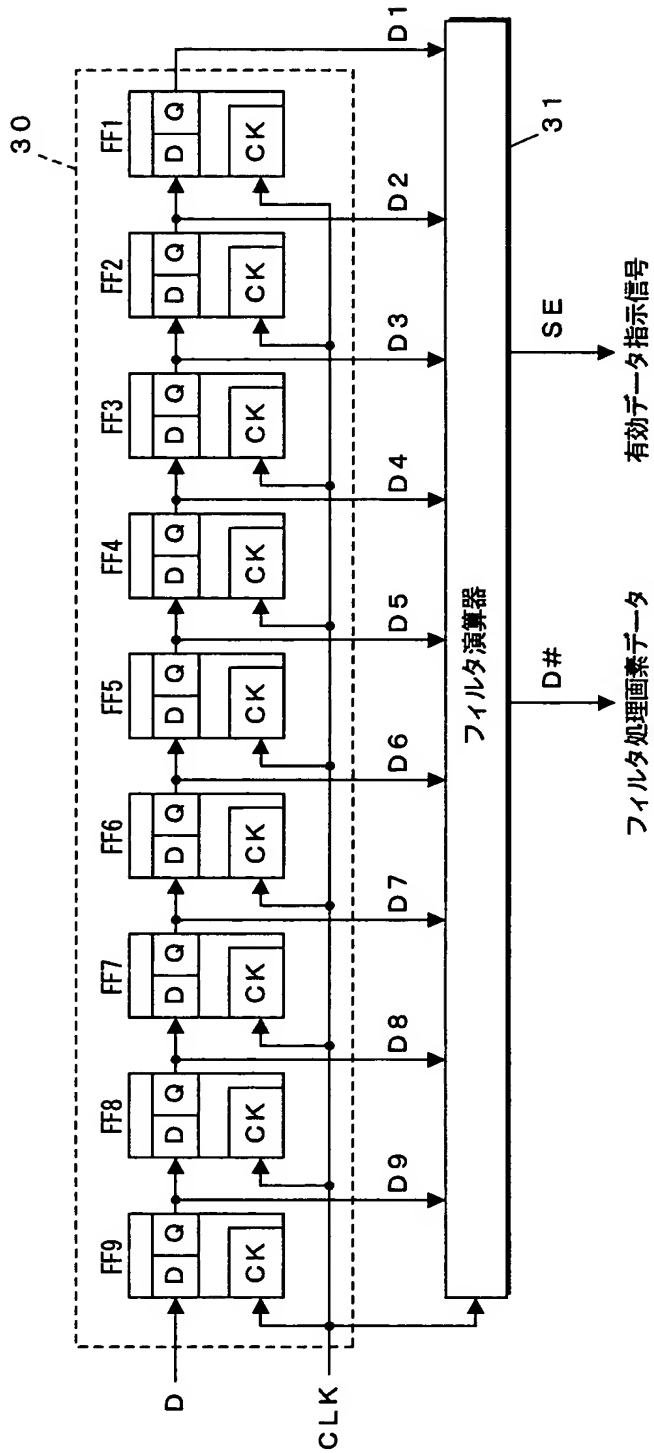
【図 2】



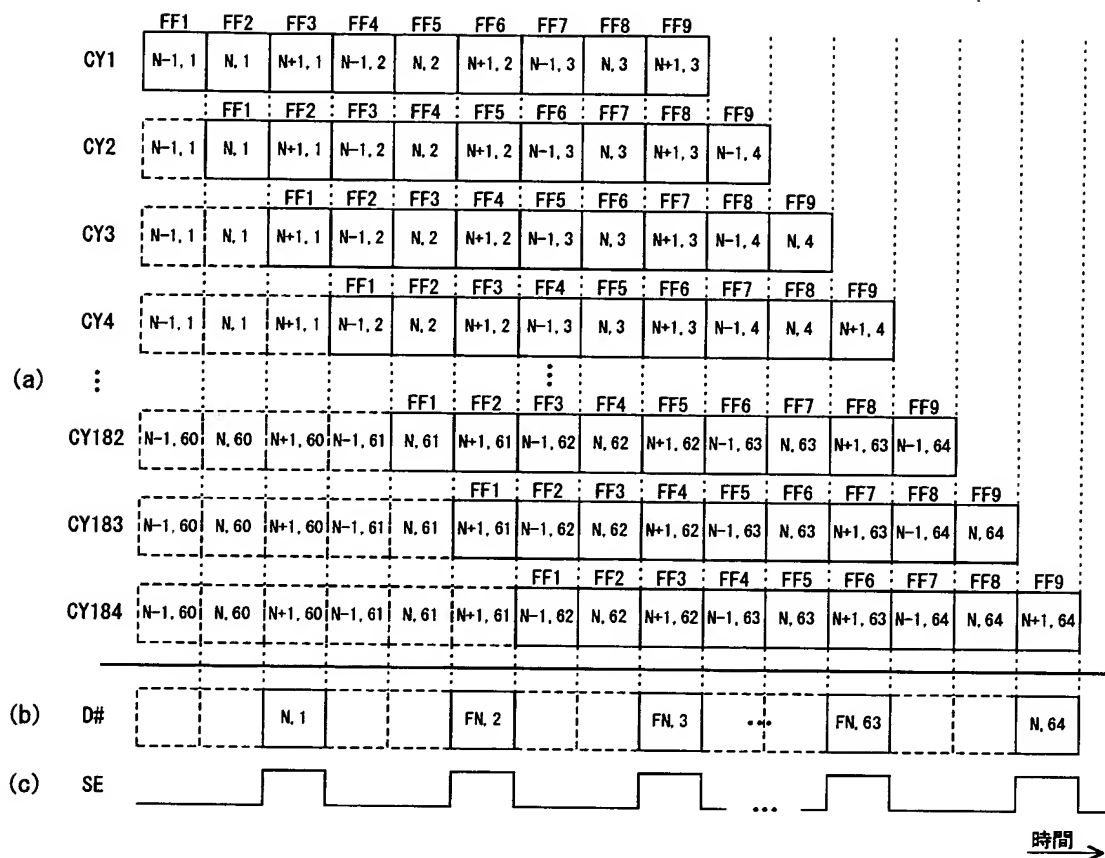
【図 3】



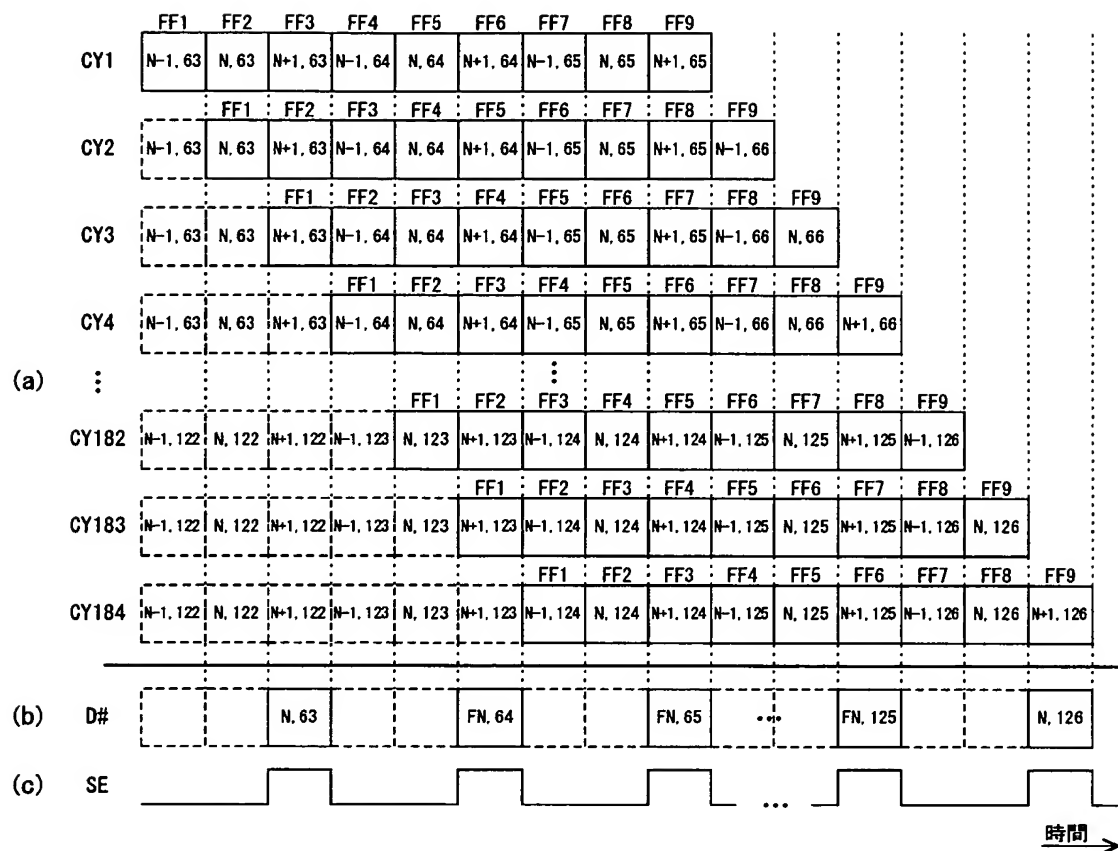
【図 4】



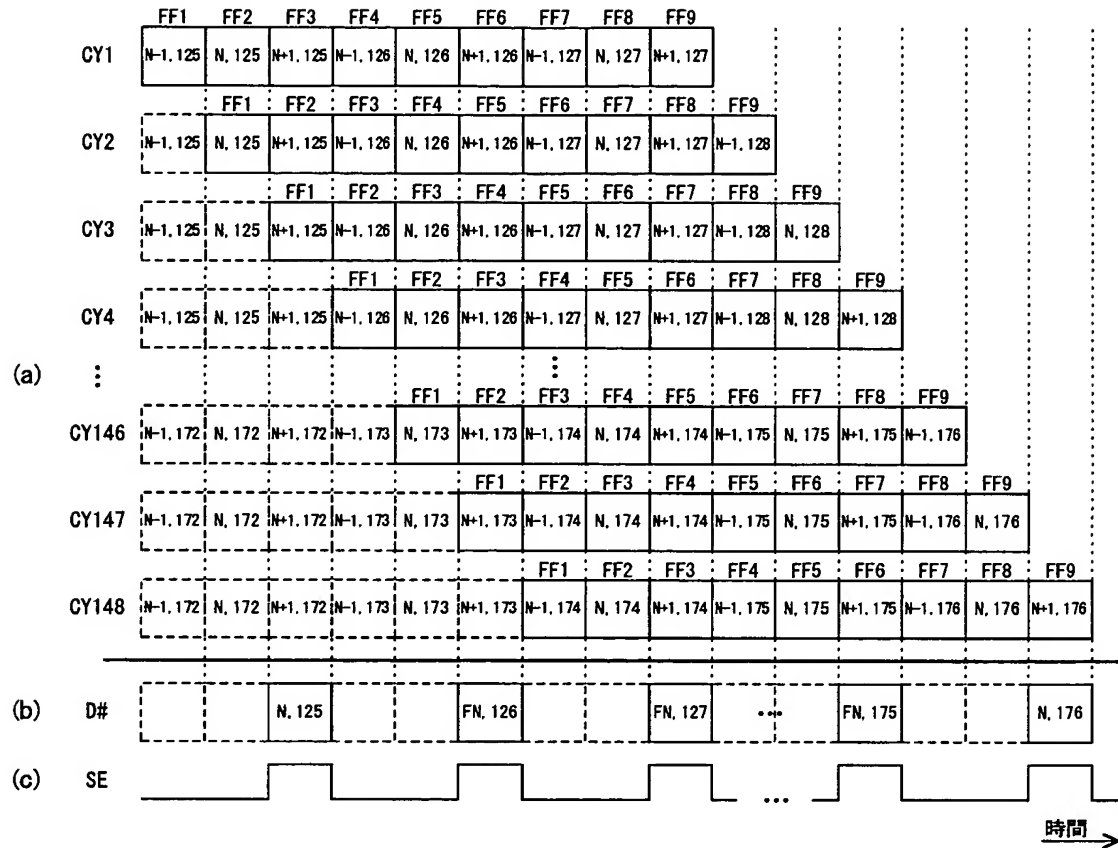
【図 5】



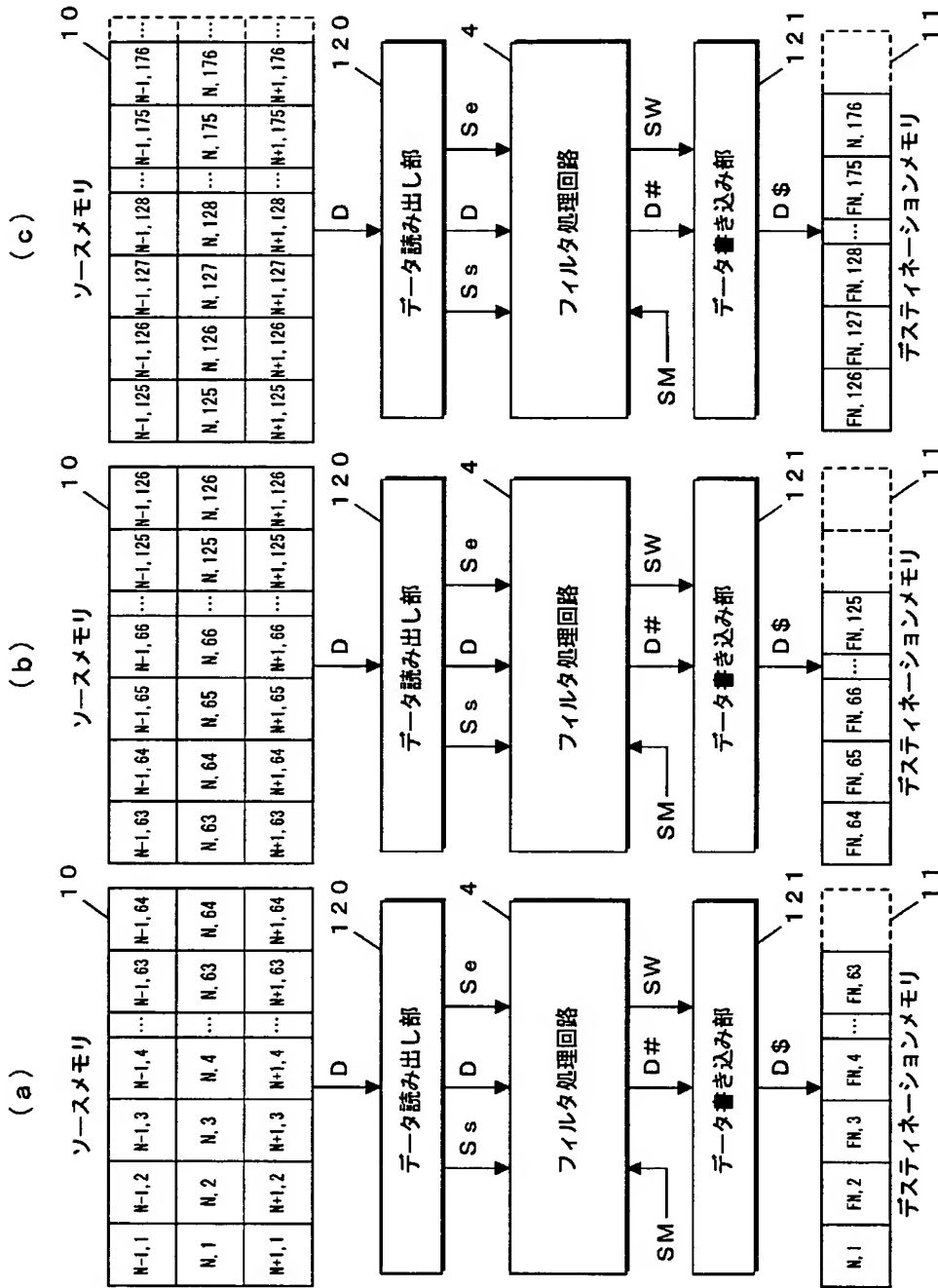
【図 6】



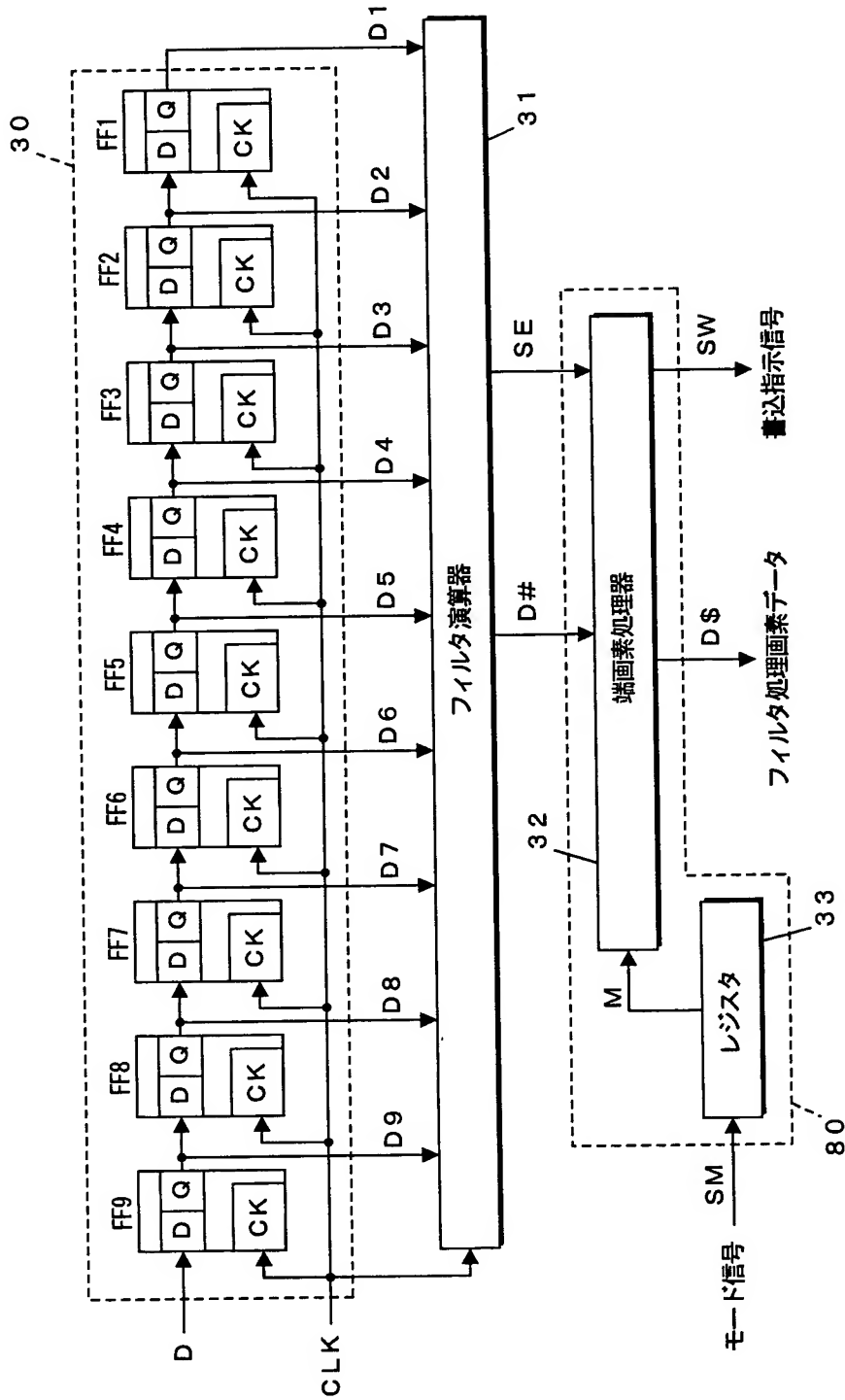
【図 7】



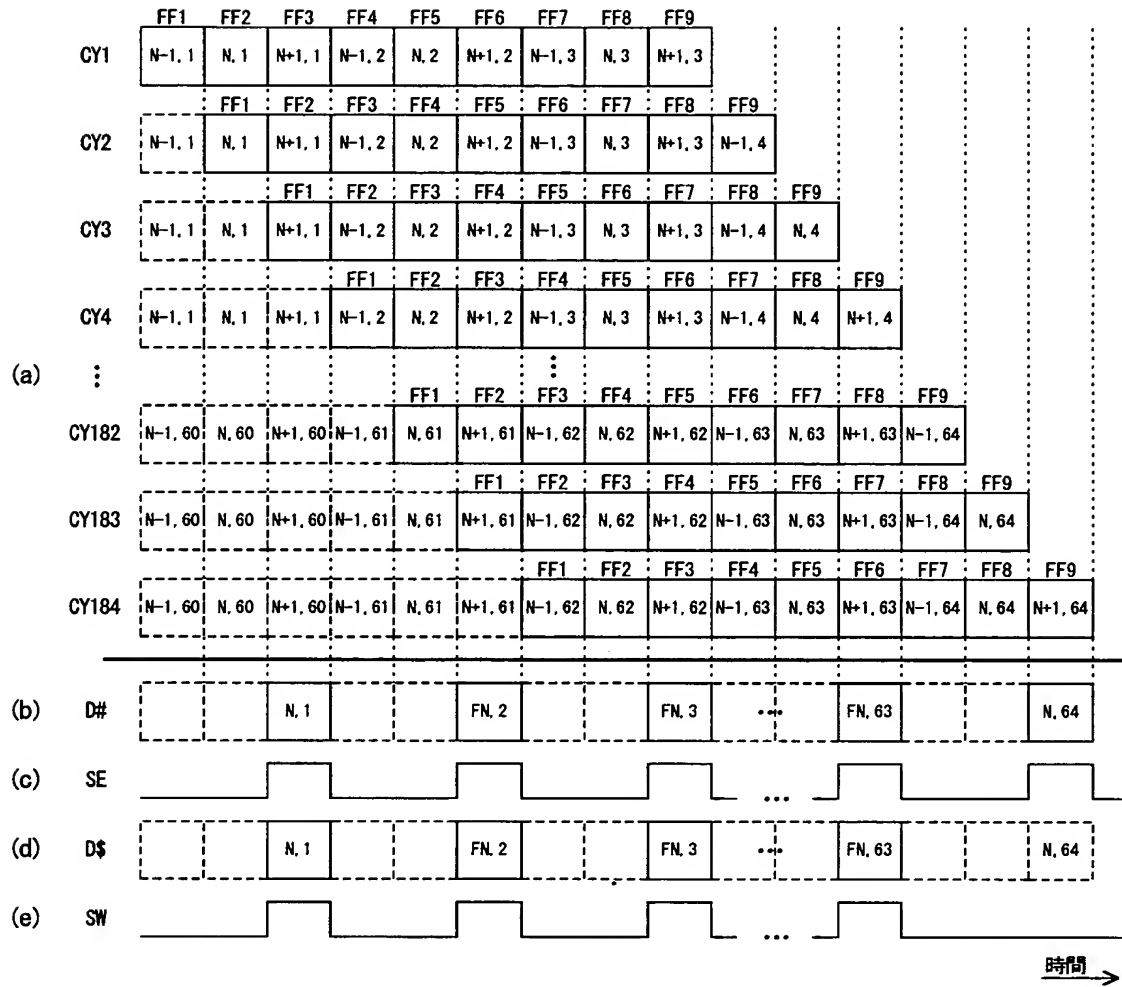
【図 8】



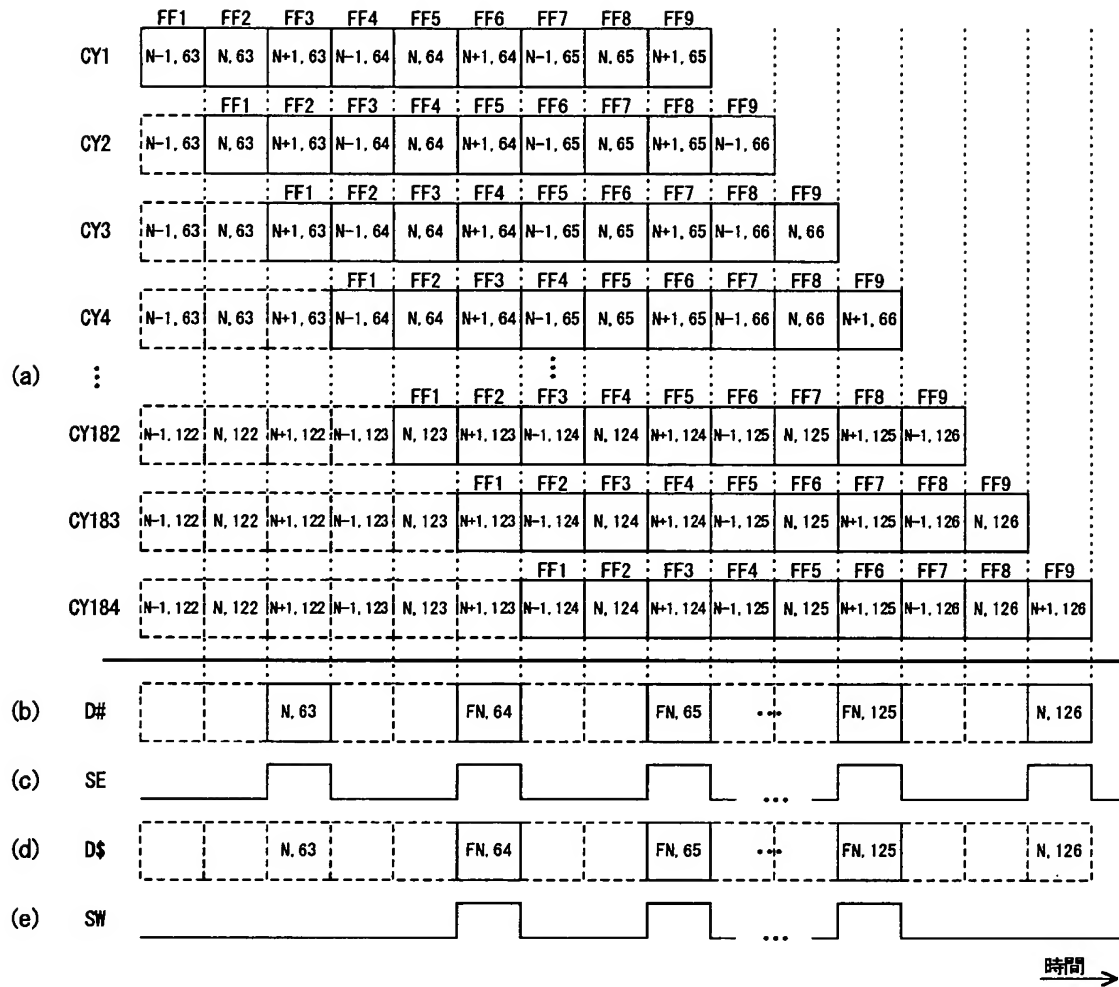
【図 9】



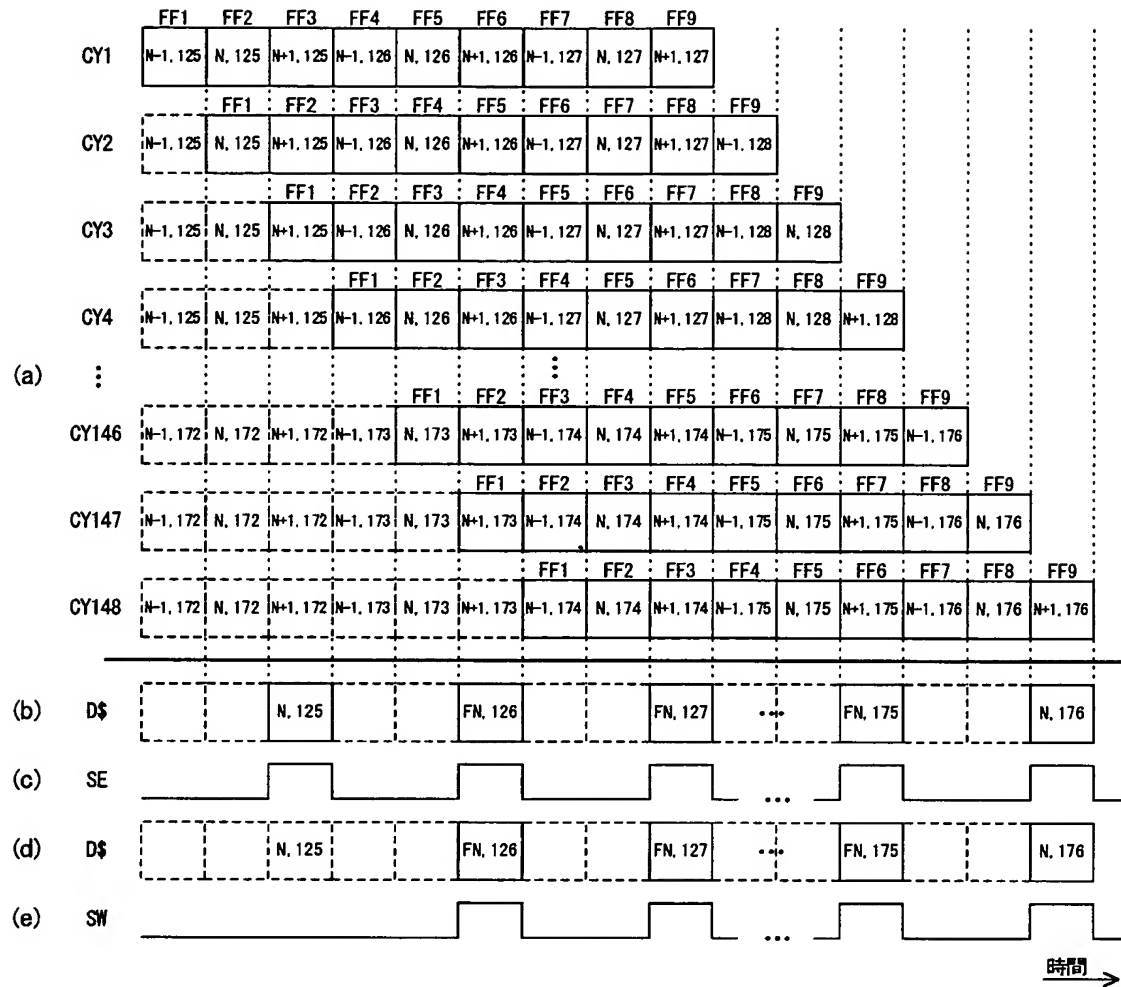
【図 10】



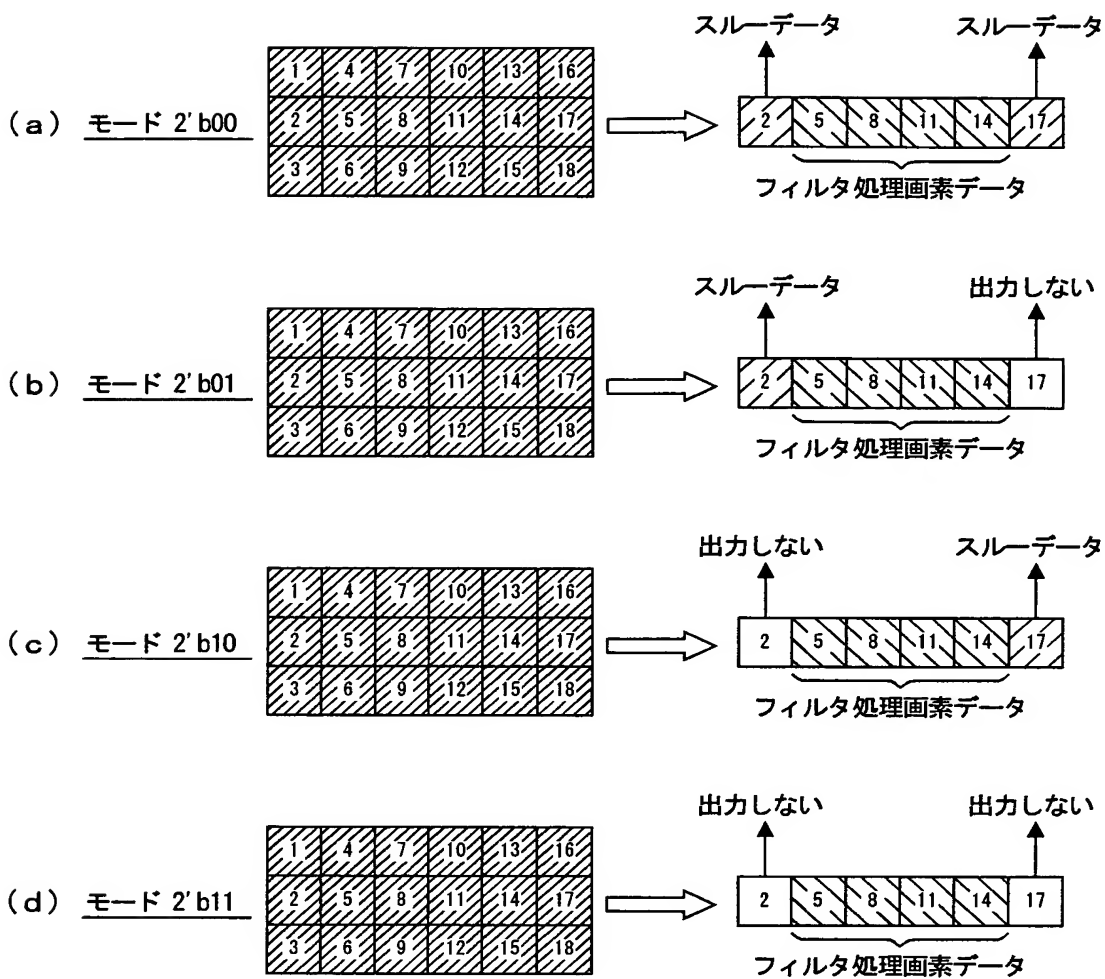
【図 1 1】



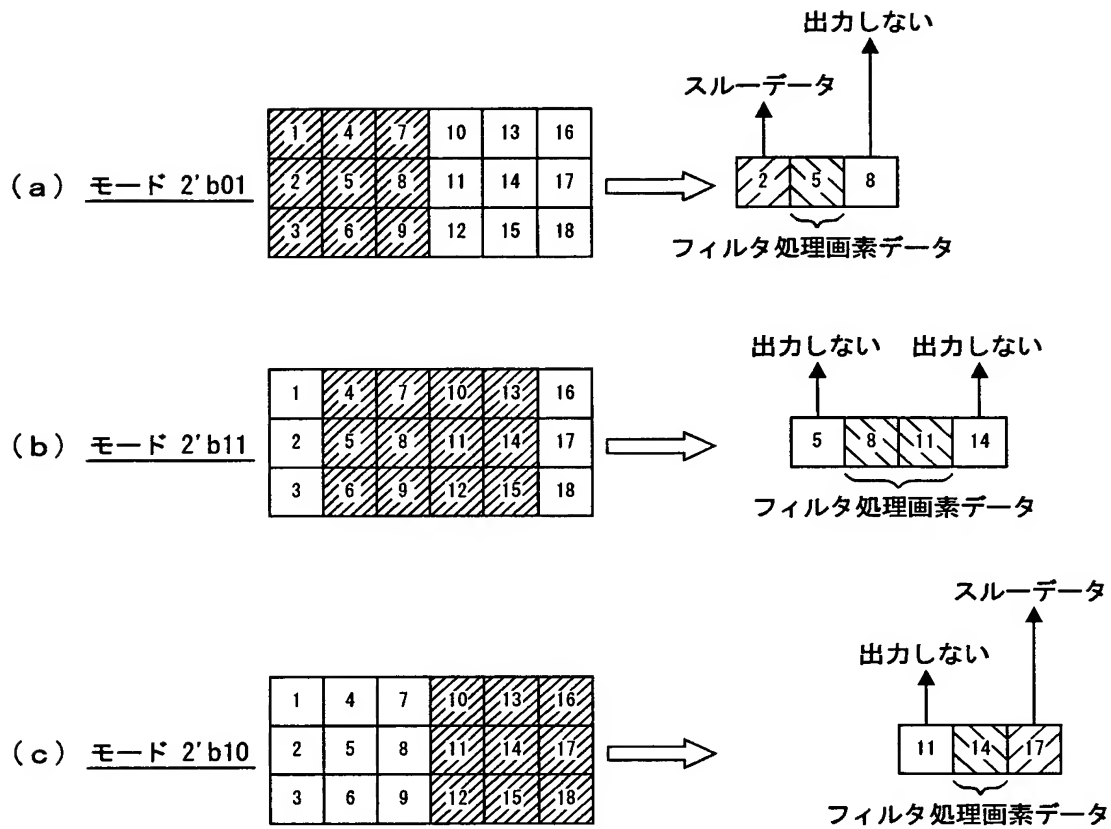
【図12】



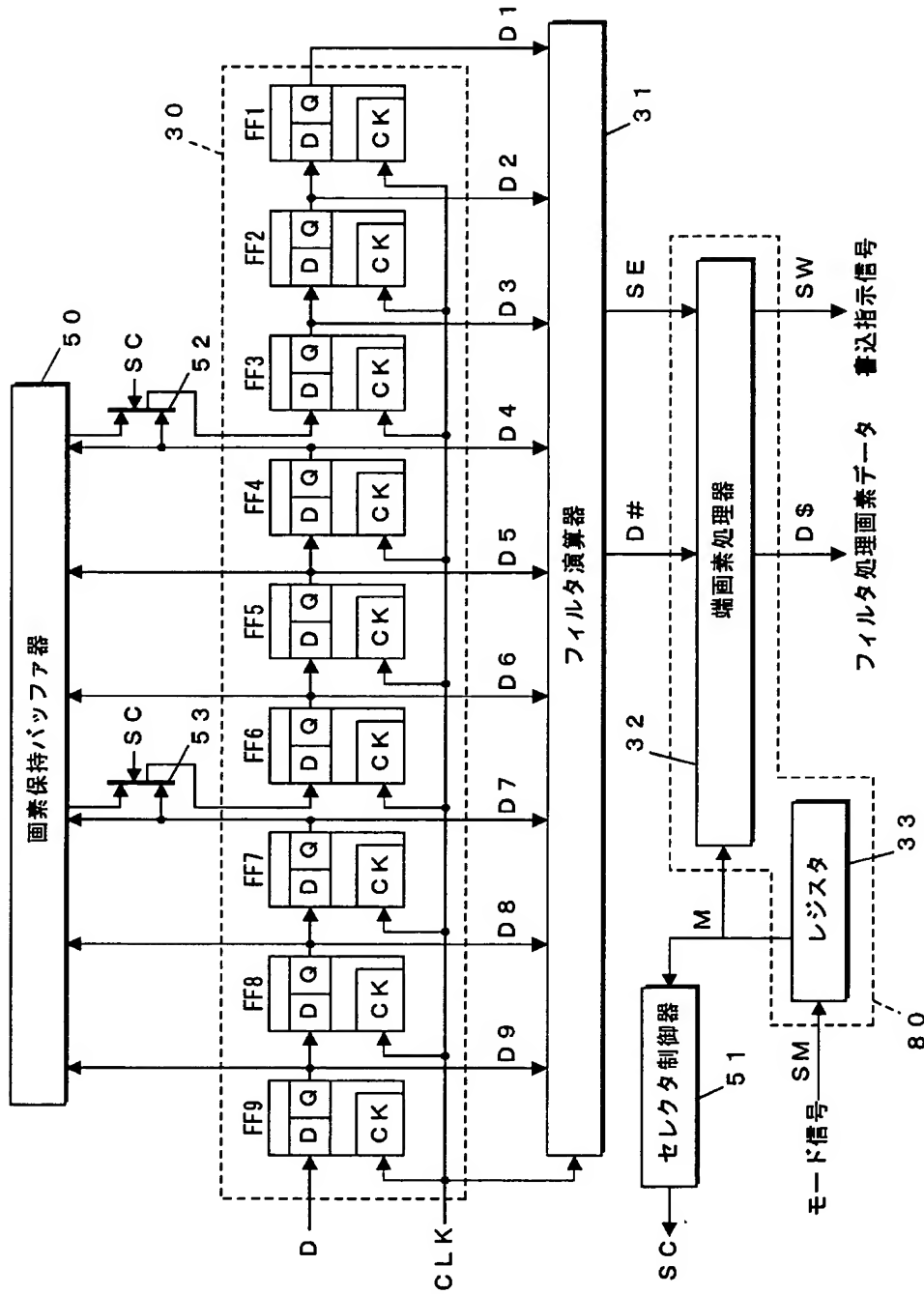
【図 1 3】



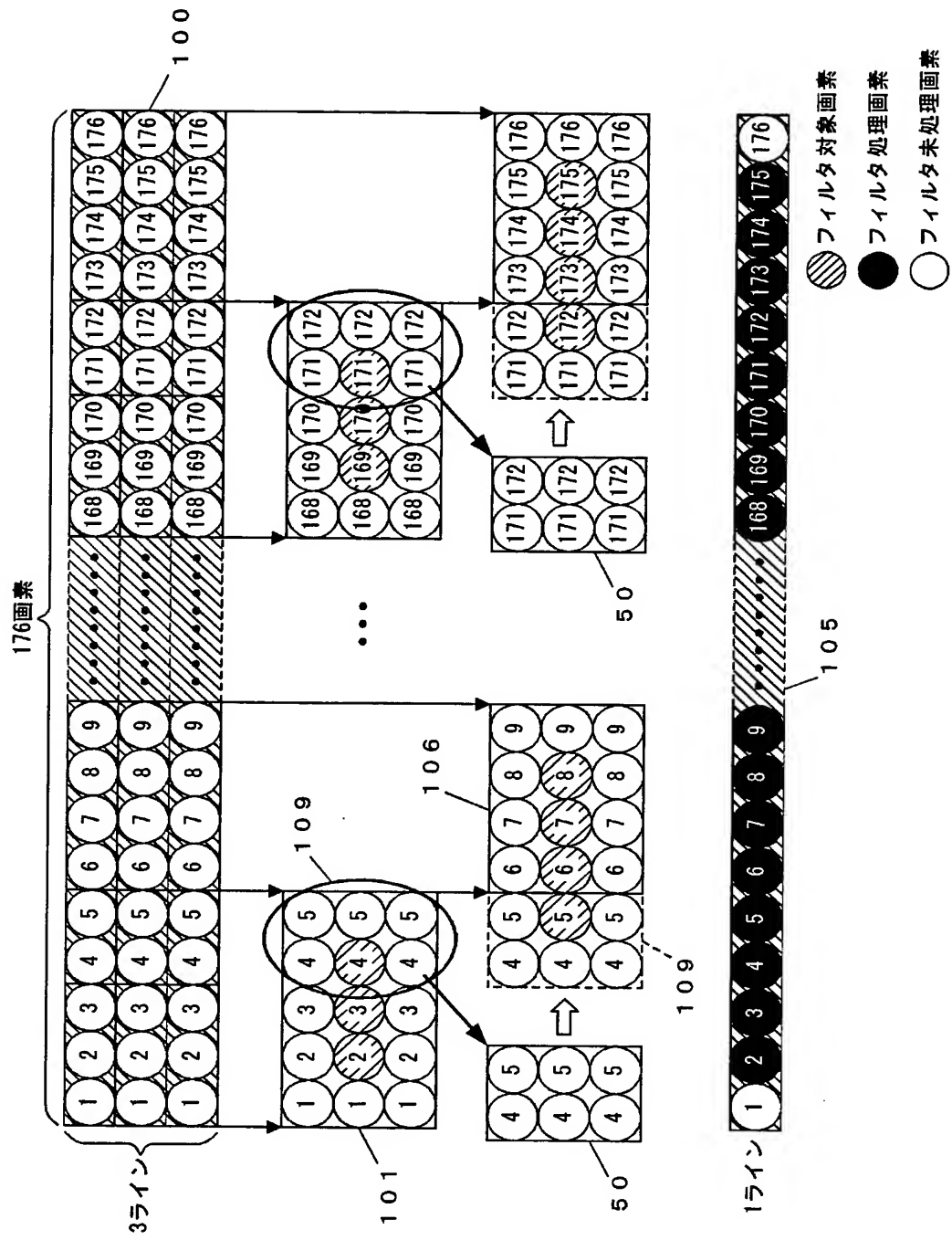
【図 14】



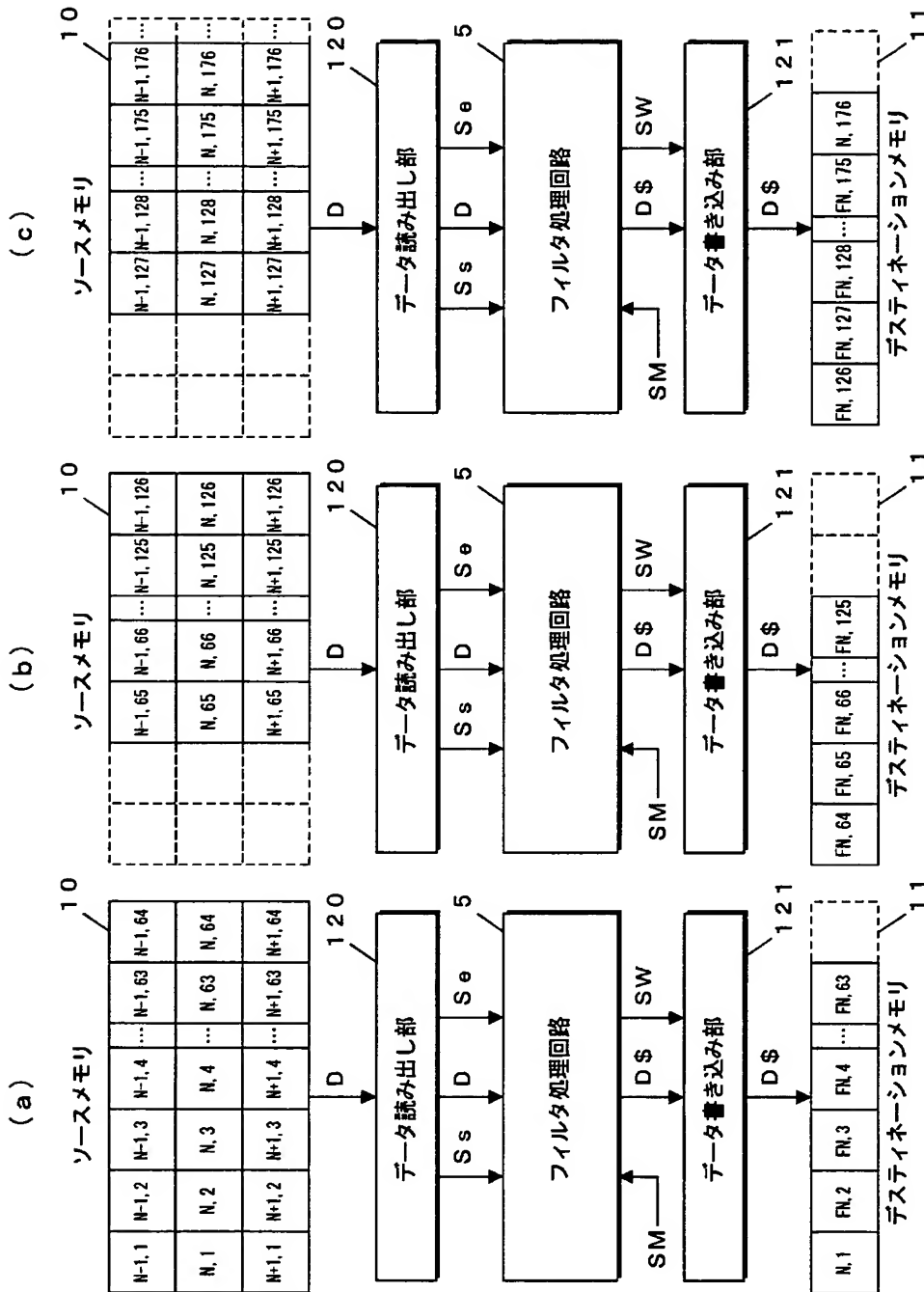
【図15】



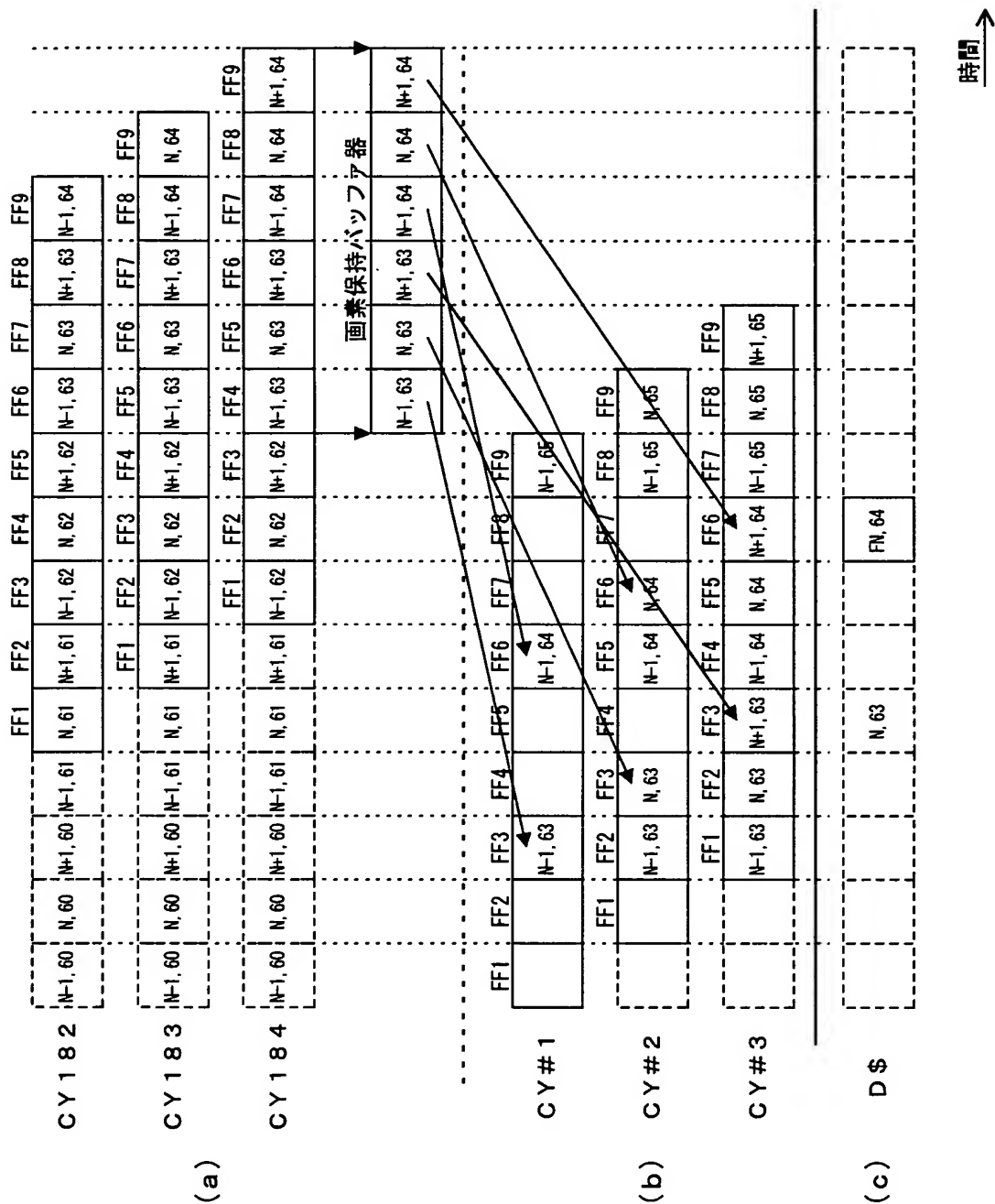
【図 16】



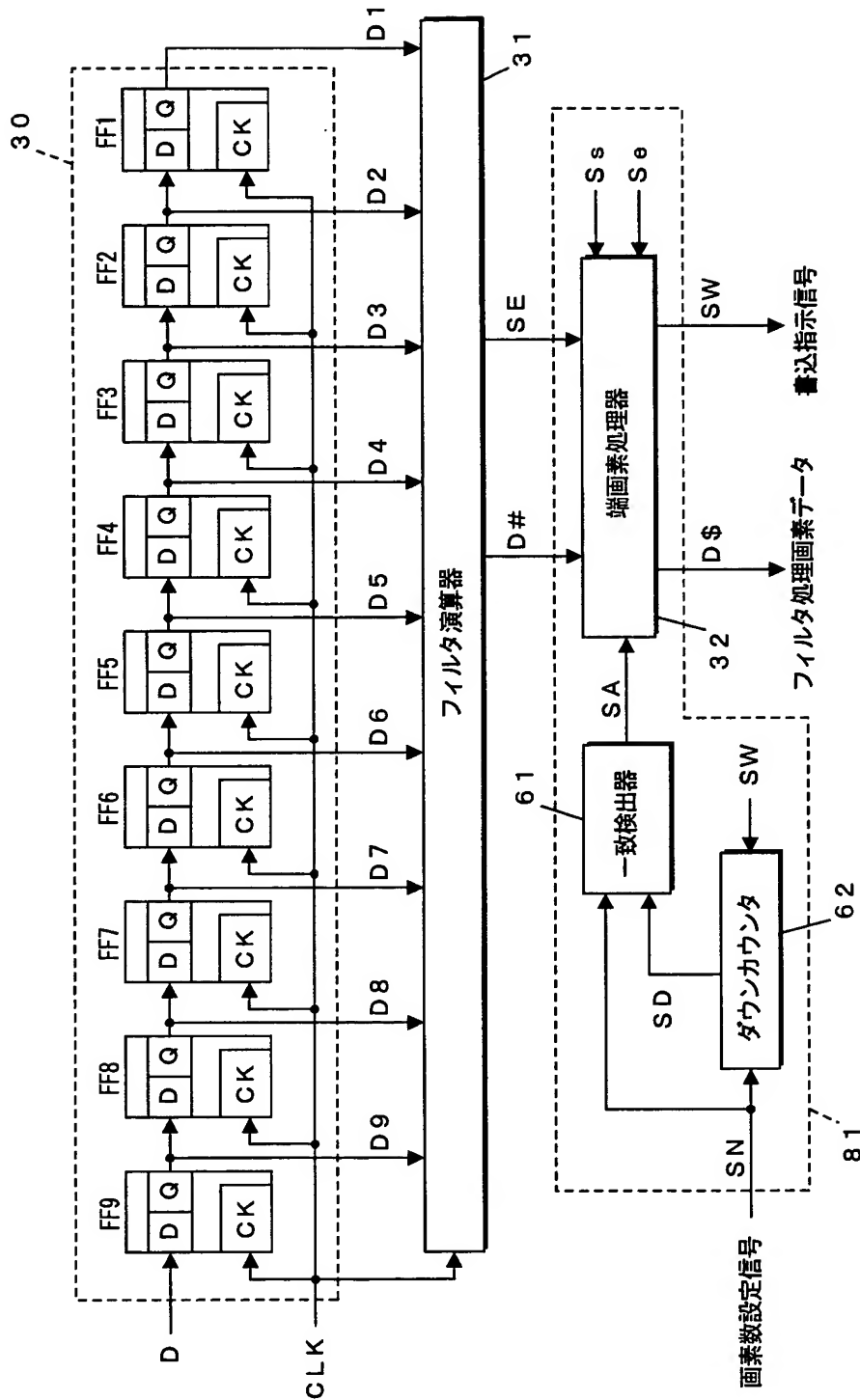
【図 17】



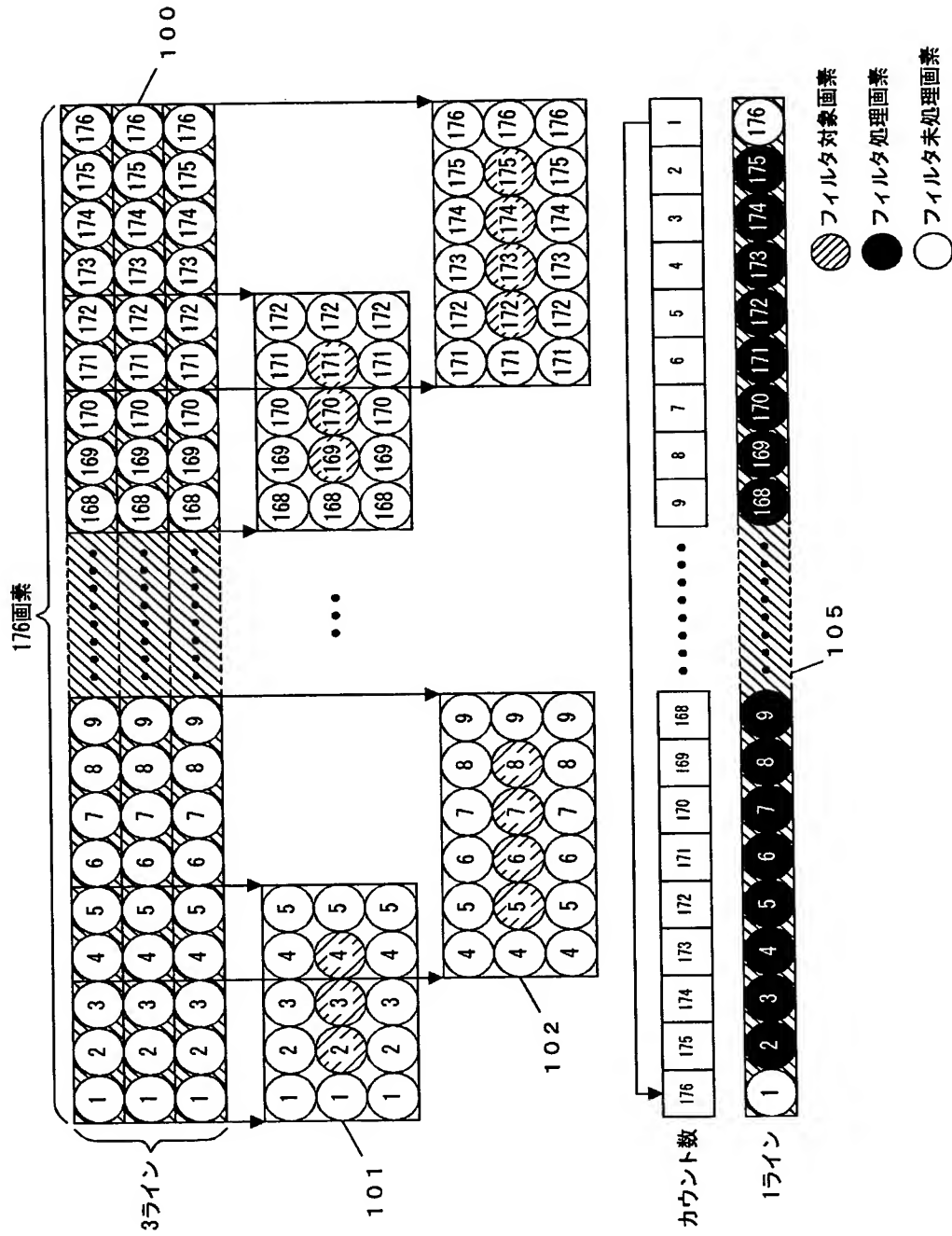
【図 18】



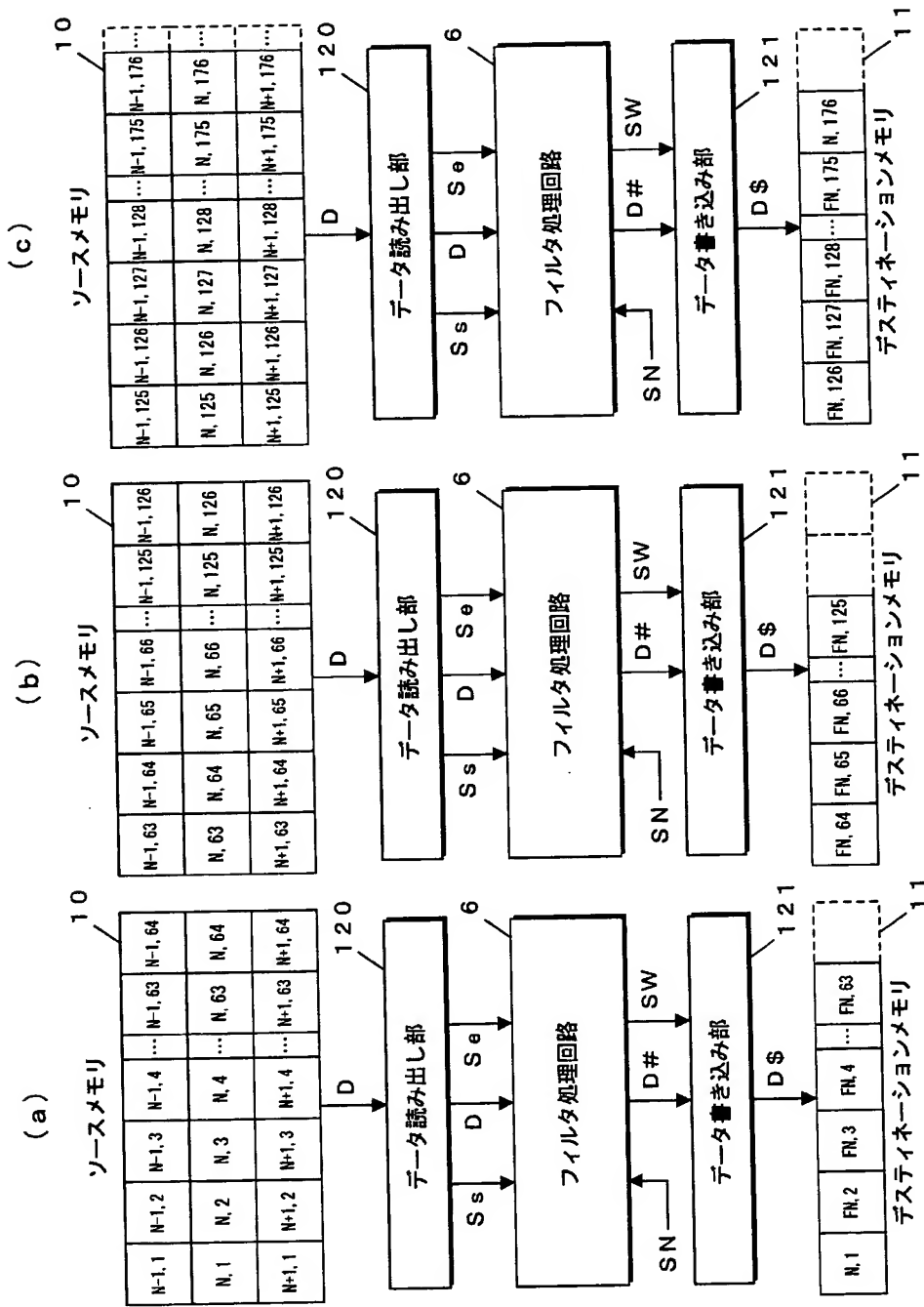
【図 19】



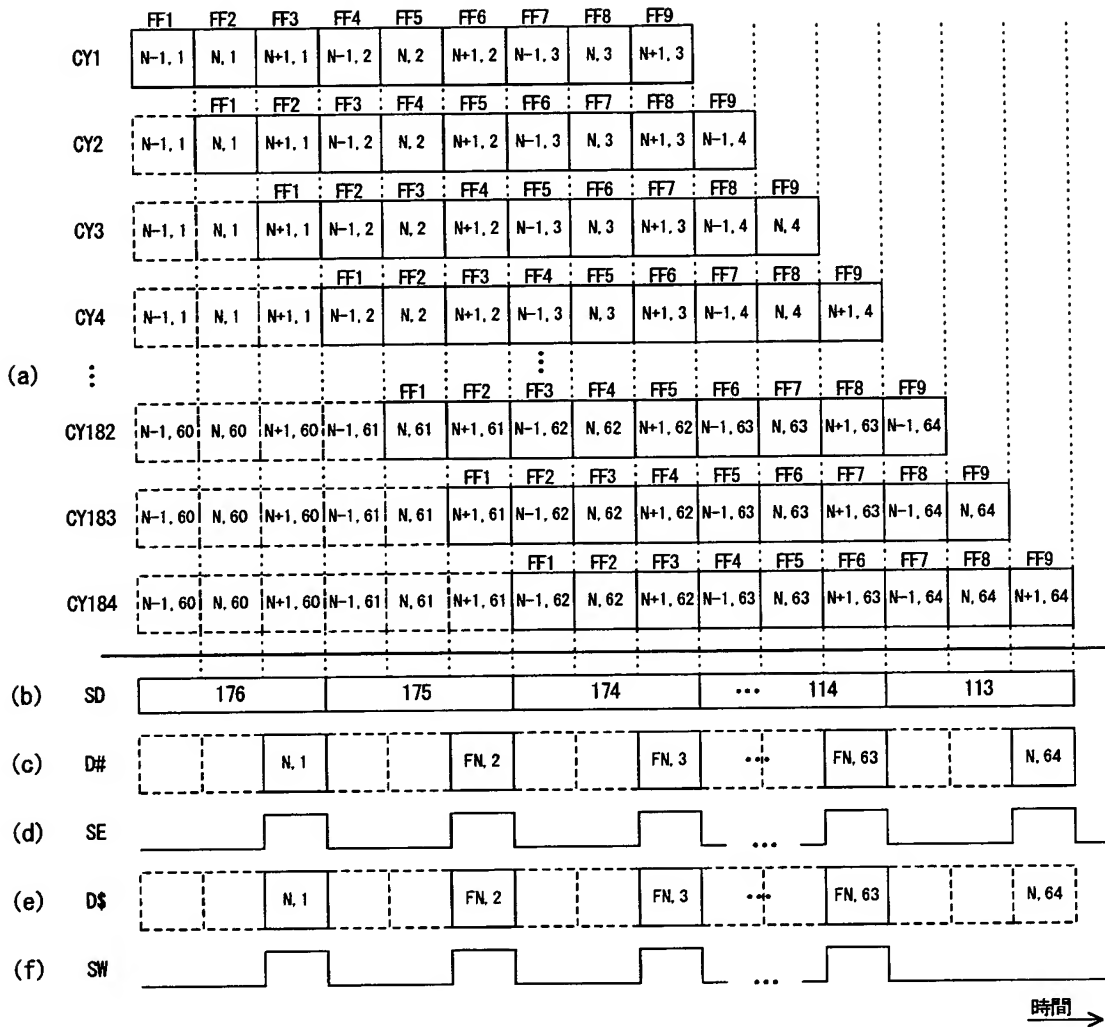
【図 20】



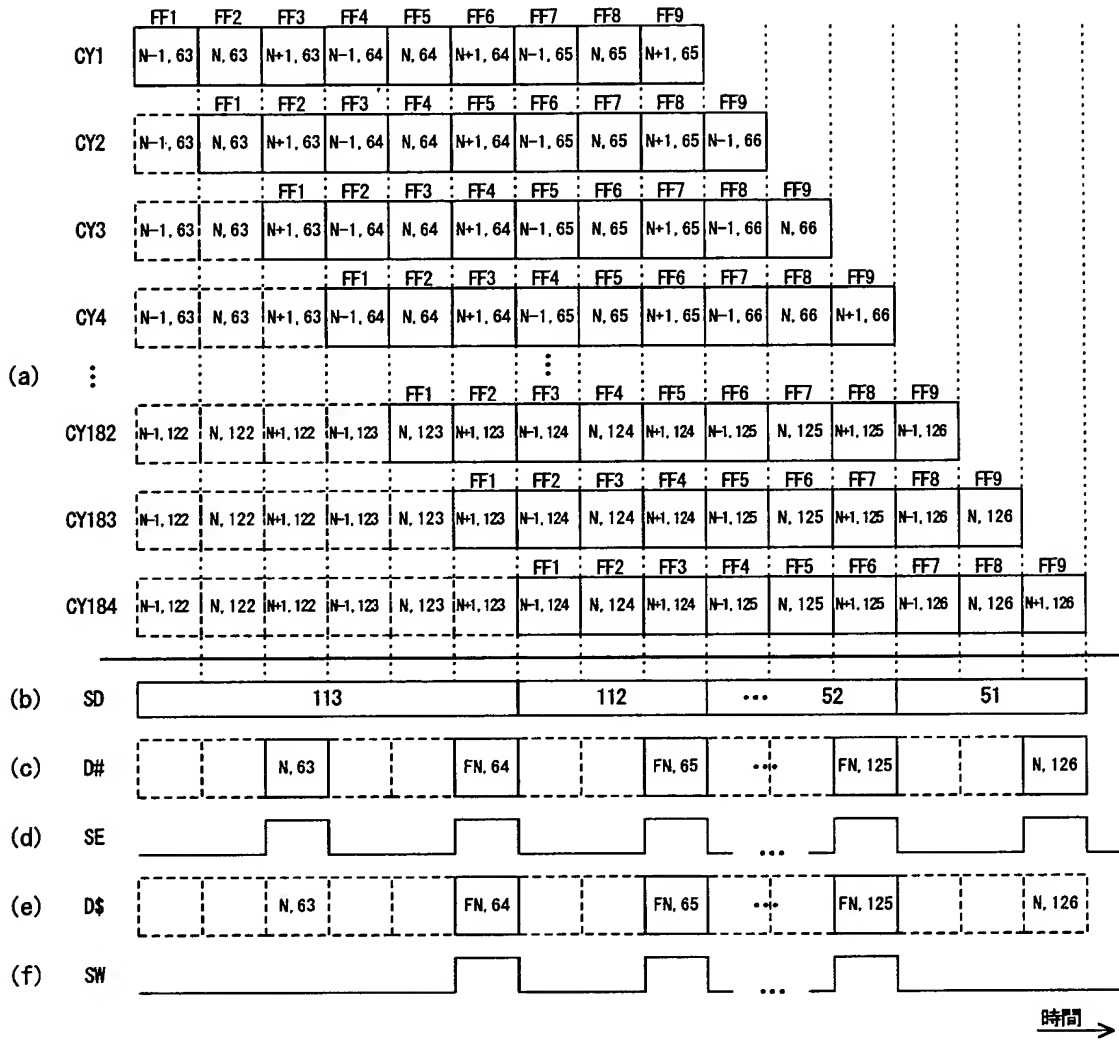
【図 21】



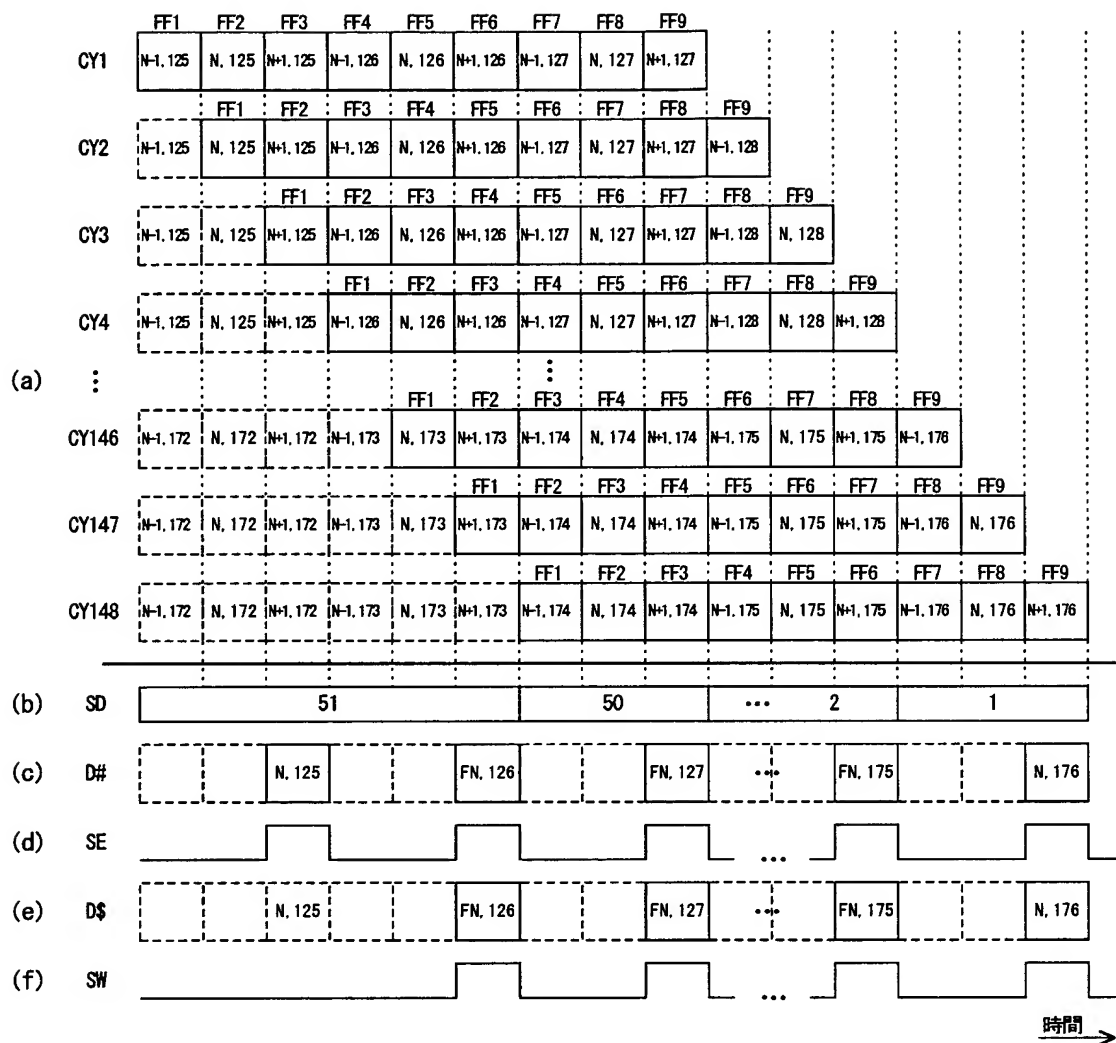
【図 2 2】



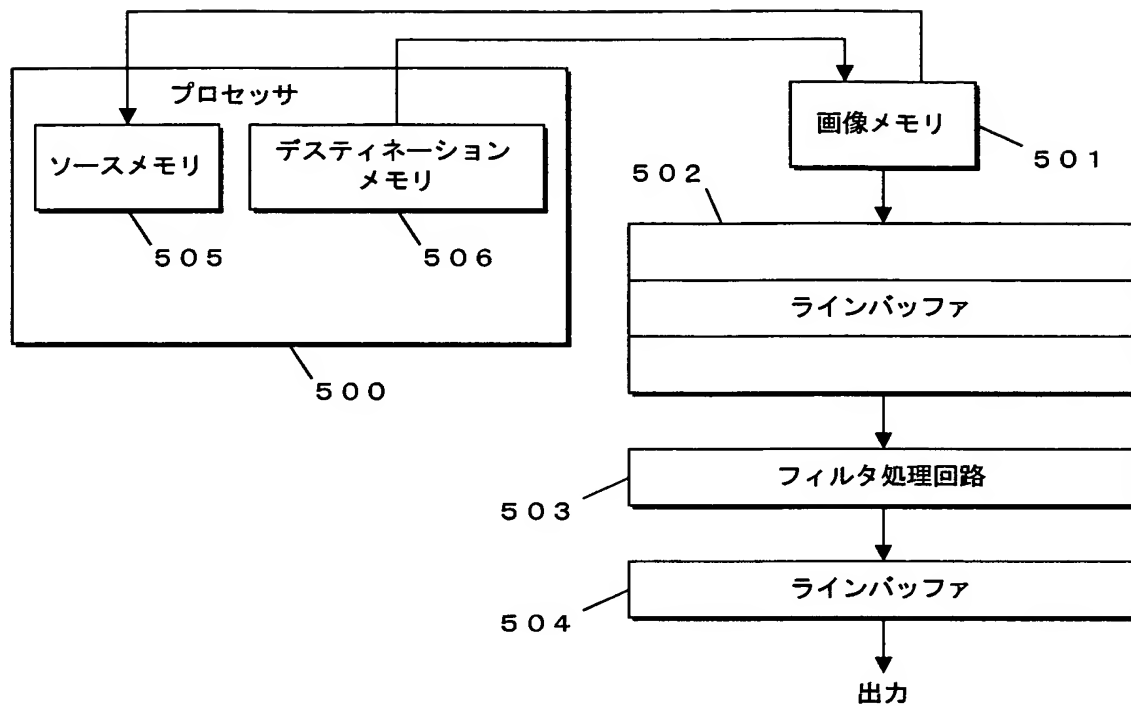
【図 23】



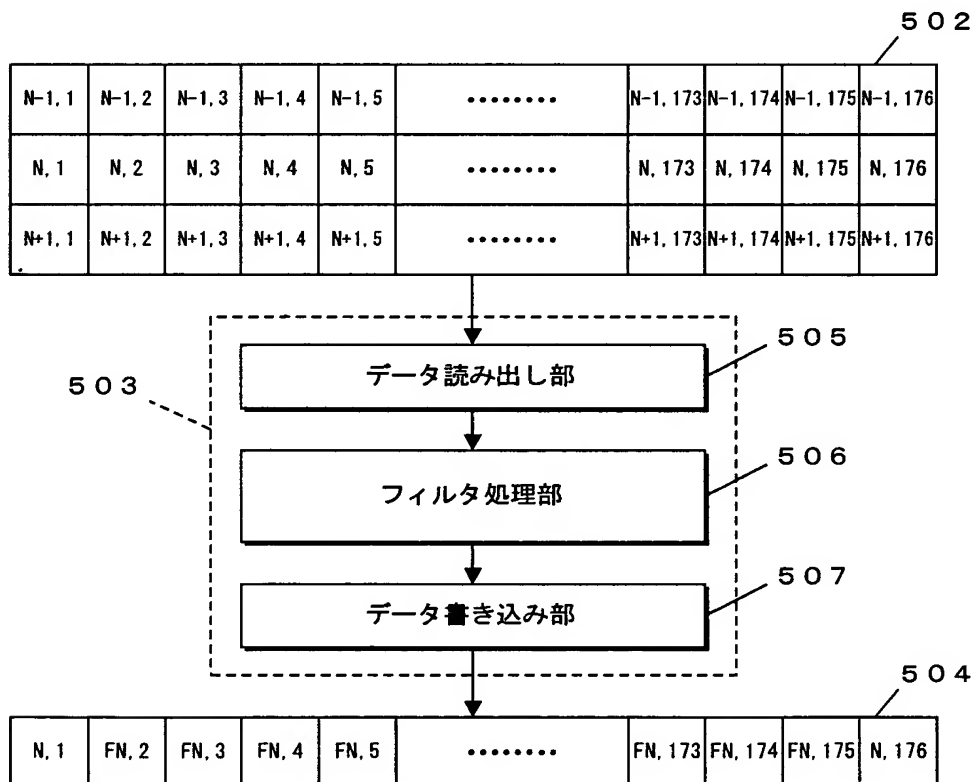
【図24】



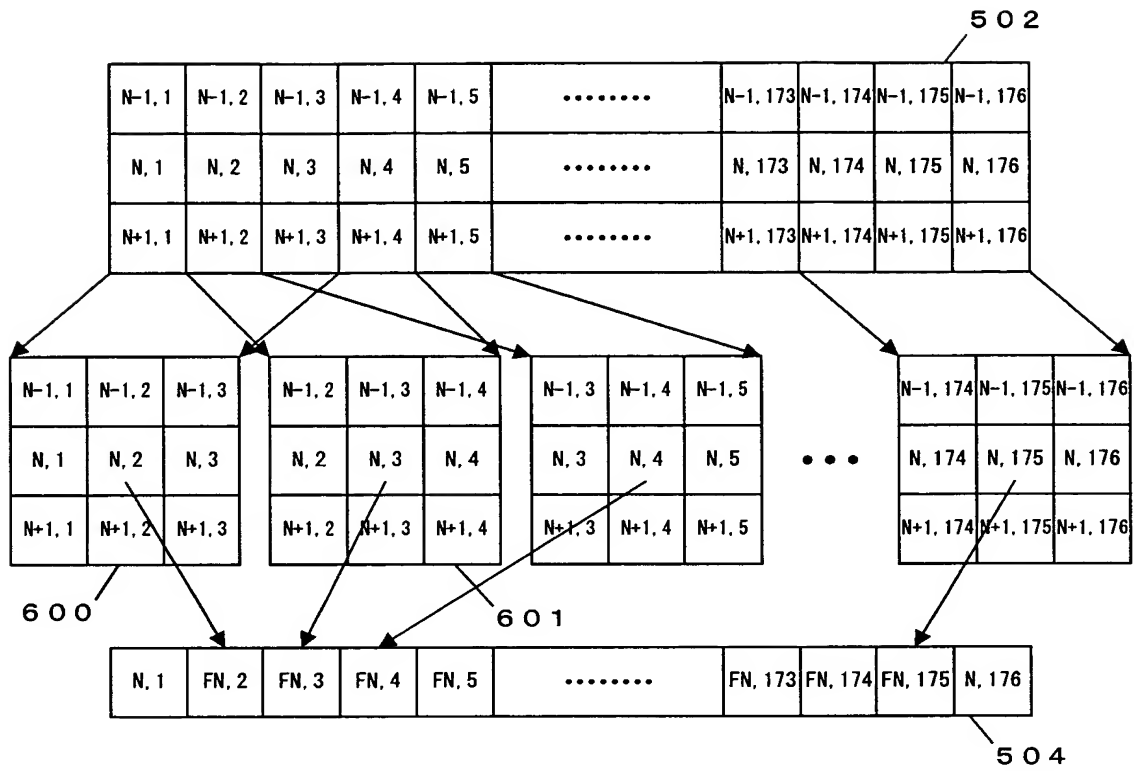
【図 25】



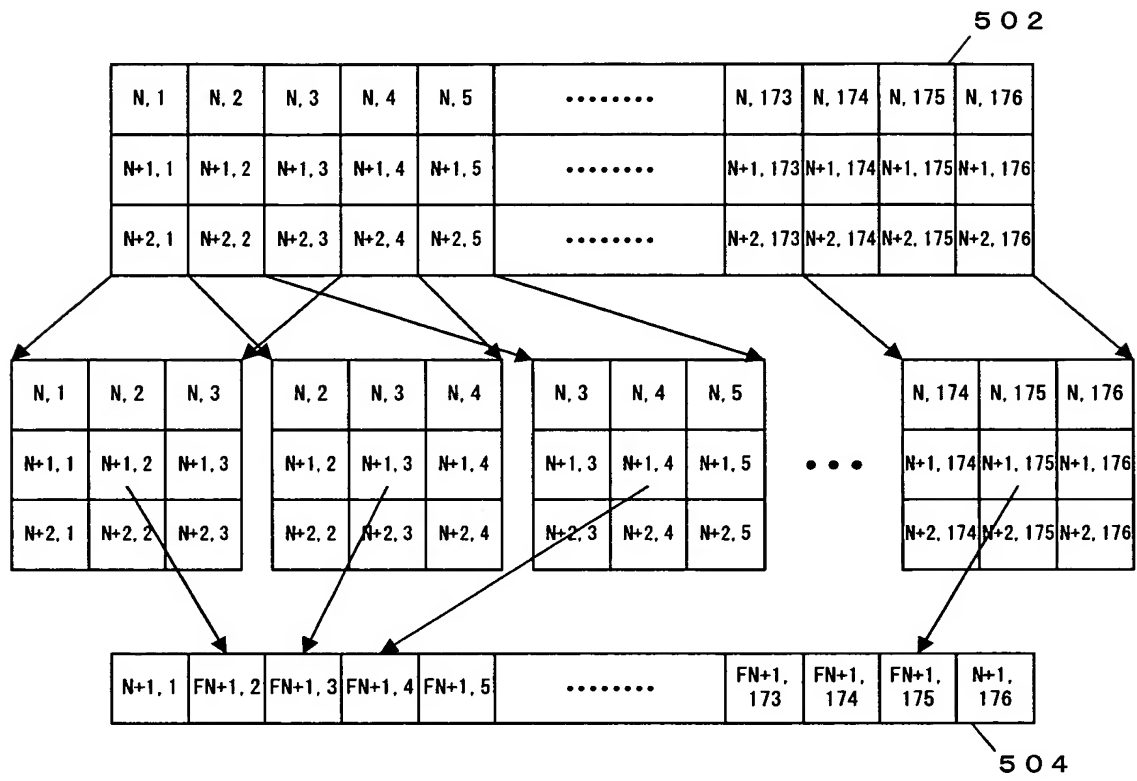
【図 26】



【図27】



【図28】



【書類名】 要約書

【要約】

【課題】 面積の増加の抑制及び処理時間の短縮化を図るとともに、画像サイズが変更になった際も対応可能な画像処理装置を提供する。

【解決手段】 ソースメモリ 1 0 の記憶容量に合わせて、3 ラインの画像データ 1 0 0 を分割した画像データ 1 0 1 をソースメモリ 1 0 へ転送する。転送された画像データ 1 0 0 から複数の画素データを順次読み出して、フィルタ処理を実行する。以上の処理を繰り返して、フィルタ処理を施した 1 ラインの画像データ 1 0 5 を得る。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社